

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-161476

(43)Date of publication of application : 20.06.1997

(51)Int.CI.

G11C 11/401

G11C 29/00

H01L 27/108

H01L 21/8242

(21)Application number : 08-278881

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1996

(72)Inventor : TODA HARUKI

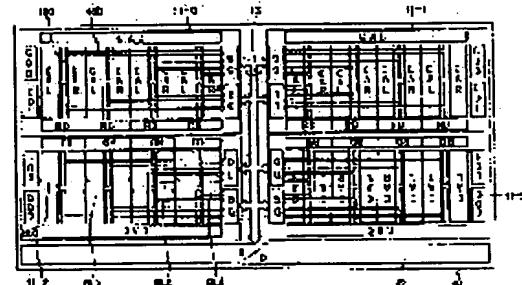
(30)Priority

Priority number : 07257735 Priority date : 04.10.1995 Priority country : JP

**(54) SEMICONDUCTOR MEMORY, ITS TESTING CIRCUIT AND DATA TRANSFER SYSTEM****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To increase the data transfer speed of a memory without increasing the chip area.

**SOLUTION:** Banks 11-0-11-3 are arranged in a matrix on a memory chip 10. A data input/output circuit 12 is arranged along one side of the memory chip 10. A data bus 13 is arranged between banks and is connected to a data input/output circuit 12. In each bank, a cell array controller CA and a row decoder RD are opposed to each other and column decoders CD0 and CD1 and a DQ buffer DQ are opposed to each other. A local DQ line 18a is arranged between memory cell arrays CAL and CAR and a global DQ line 18b is arranged between memory cell arrays CAL and CAR. The direction where the local DQ line 18a is extended is vertical to the direction where the global DQ line 18b is extended.

**LEGAL STATUS**

[Date of request for examination] 13.09.2000

[Date of sending the examiner's decision of rejection] 16.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**BEST AVAILABLE COPY**

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-161476

(13) 公開日 平成9年(1997)6月20日

(51) IntCL'	識別番号	序内整理番号	F I	技術表示箇所
G 11 C 11/401 29/00	808		G 11 C 11/34 29/00	3 6 2 C 3 0 8 B
H 01 L 27/108 21/8242			11/34	3 6 2 H
			H 01 L 27/10	6 8 1 E 6 9 1

審査請求 未請求 請求項の数84 FD (全40頁)

(21) 出願番号	特願平8-278881	(71) 出願人	000000078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成8年(1996)9月30日	(72) 発明者	戸田 春尋 株式会社東芝半導体システム技術センター内
(31) 優先権主要番号	特願平7-257735	(74) 代理人	弁理士 佛江 武彦 (外6名)
(32) 優先日	平7(1995)10月4日		
(33) 優先権主要国	日本 (JP)		

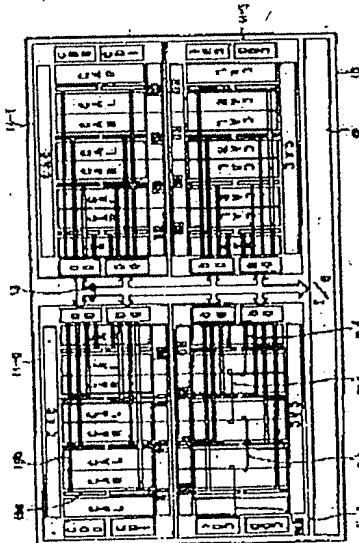
(54) 【発明の名義】 半導体メモリ及びそのテスト回路、並びにデータ転送システム

(57) 【要約】

【課題】 チップ面積の増大なく、メモリのデータ転送速度を高める。

【解決手段】 パンク 11-0～11-3は、メモリチップ 10上にマトリックス状に配置される。データ入出力回路 12は、メモリチップ 10の一辺に沿って配置される。データバス 13は、パンク間に配置され、データ入出力回路 12に接続される。各パンクにおいて、セルアレイコントローラ CAOとロウデコーダ RDは、互いに対向し、カラムデコーダ CDO, CD1とDQ バッフ

ア DQ は、互いに対向する。ローカル DQ 線 18a は、メモリセルアレイ CAL, CAR間に配置され、グローバル DQ 線 18b は、メモリセルアレイ CAL, CAR 上に配置される。ローカル DQ 線 18a が延長する方向は、グローバル DQ 線 18b が延長する方向に垂直である。



【特許請求の範囲】

【請求項 1】 メモリチップと、前記メモリチップ上に配置される複数のパンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のパンクと共に設けられ、カラム方向に延長し、前記複数のパンクと前記データ入出力領域との間ににおける前記複数ビットのデータの経路となるデータバスとを具備し、前記複数のパンクの各々は、

メモリセルアレイから構成され、前記カラム方向に配置される 2 つの小ブロック、前記 2 つの小ブロックの間に配置されるセンサスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の 2 つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも 1 つのカラムデコーダと、  
ロウ方向の 2 つの端部のうちの一方に配置され、前記中ブロックの各々に 1 つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、  
前記ロウ方向の 2 つの端部のうちの他方に配置され、前記中ブロックの各々に 1 つずつ設けられる複数の DQ バッファと、  
前記ロウ方向の 2 つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、  
前記複数のパンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項 2】 請求項 1 記載の半導体メモリにおいて、前記複数のパンクの各々は、前記ロウ方向の 2 つの端部のうちの他方に配置されるパンク選択回路を備え、前記パンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を実行するときに、前記複数のパンクのうちの 1 つのパンクを前記データバスに接続し、残りのパンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項 3】 請求項 1 記載の半導体メモリにおいて、前記複数のパンクは、前記ロウ方向に 2 つ、前記カラム方向に 2 つ、合計 4 つ存在していることを特徴とする半導体メモリ。

【請求項 4】 請求項 1 記載の半導体メモリにおいて、前記 2 つの小ブロックの間に配置され、前記ロウ方向に延長する DQ 線対を備え、前記 DQ 線対は、前記センサスアンプと前記 DQ バッファを互いに接続することを特徴とする半導体メモリ。

【請求項 5】 請求項 1 記載の半導体メモリにおいて、前記 2 つの小ブロックの間に配置され、前記カラム選択

線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項 6】 請求項 1 記載の半導体メモリにおいて、前記データ入出力領域は、前記メモリチップの前記カラム方向の 2 つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項 7】 請求項 1 記載の半導体メモリにおいて、前記データ入出力領域は、前記複数ビットのデータを同時に出入力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項 8】 請求項 1 記載の半導体メモリにおいて、前記データバスは、前記メモリチップの中央部において、前記カラム方向に延長し、前記複数のパンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項 9】 請求項 1 記載の半導体メモリにおいて、前記複数のパンクの各々が複数のカラムデコードを有している場合、前記カラム選択線のうち互いに隣接する 2 つのカラム選択線は、それぞれ異なるカラムデコーダにより制御されることを特徴とする半導体メモリ。

【請求項 10】 請求項 1 記載の半導体メモリにおいて、前記ロウデコーダは、前記 2 つの小ブロックのうちのいずれか 1 つを選択し、かつ、その選択された小ブロックのワード線のうちから 1 つのワード線を選択することを特徴とする半導体メモリ。

【請求項 11】 メモリチップと、前記メモリチップ上に配置され、複数のサブパンクから構成される複数のメインパンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインパンクを構成する全てのサブパンクのうち 2 つ以上のサブパンクと共に設けられ、カラム方向に延長し、前記複数のメインパンクのサブパンクと前記データ入出力領域との間ににおける前記複数ビットのデータの経路となる複数のデータバスとを具備し、前記複数のサブパンクの各々は、  
メモリセルアレイから構成され、前記カラム方向に配置される 2 つの小ブロック、前記 2 つの小ブロックの間に配置されるセンサスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の 2 つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも 1 つのカラムデコーダと、

ロウ方向の 2 つの端部のうちの一方に配置され、前記中ブロックの各々に 1 つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、  
前記ロウ方向の 2 つの端部のうちの他方に配置され、前記中ブロックの各々に 1 つずつ設けられる複数の DQ バッファと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、

前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項12】 請求項11記載の半導体メモリにおいて、前記複数のサブバンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、前記バンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかったサブバンクを前記データバスから切断することを特徴とする半導体メモリ。

【請求項13】 請求項12記載の半導体メモリにおいて、前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを経由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを特徴とする半導体メモリ。

【請求項14】 請求項11記載の半導体メモリにおいて、前記2つの小プロックの間に配置され、前記ロウ方向に延長するDQ検対を備え、前記DQ検対は、前記センスアンプと前記ロウバッファを互いに接続することを特徴とする半導体メモリ。

【請求項15】 請求項11記載の半導体メモリにおいて、前記2つの小プロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項16】 請求項11記載の半導体メモリにおいて、前記複数のメインバンクの各々を構成する前記複数のサブバンクの数がnの場合、前記データ入出力領域は、前記複数ビットのデータのn倍のデータを同時に出入力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項17】 請求項11記載の半導体メモリにおいて、前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコータを有している場合、前記カラム選択線のうち互いに隣接する2つのカラム選択線は、それぞれ異なるカラムデコータにより制御されることを特徴とする半導体メモリ。

【請求項18】 請求項11記載の半導体メモリにおいて、

前記ロウデコータは、前記2つの小プロックのうちのいずれか1つを選択し、かつ、その選択された小プロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項19】 請求項11記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記ロウ方向に長くなるように配置されていることを特徴とする半導体メモリ。

【請求項20】 請求項19記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記カラム方向の両側において、それぞれ前記カラム方向に延長していることを特徴とする半導体メモリ。

【請求項21】 請求項20記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項22】 請求項21記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項23】 請求項11記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの前記カラム方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項24】 請求項23記載の半導体メモリにおいて、

前記データバスは、前記データ入出力領域の前記カラム方向の1つの側において、それぞれ前記カラム方向に延長していることを特徴とする半導体メモリ。

【請求項25】 請求項24記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記ロウ方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項26】 請求項25記載の半導体メモリにおいて、

前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項27】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクと共に設けられた

れ、ロウ方向に延長し、前記複数のパンクと前記データ入出力領域の間における前記複数ビットのデータの経路となるデータバスとを具備し。

前記複数のパンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンサスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコードと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコードと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、

前記複数のパンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項28】 請求項27記載の半導体メモリにおいて、

前記複数のパンクの各々は、

前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センサスアンプに接続されるローカルDQ線対と、

前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対と備えることを特徴とする半導体メモリ。

【請求項29】 請求項28記載の半導体メモリにおいて、

さらに、前記ローカルDQ線対と前記グローバルDQ線対の間に配置されるスイッチを備えることを特徴とする半導体メモリ。

【請求項30】 請求項29記載の半導体メモリにおいて、

前記スイッチは、NチャネルタイプMOSトランジスタから構成されることを特徴とする半導体メモリ。

【請求項31】 請求項27記載の半導体メモリにおいて、

前記複数のパンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるパンク選択回路を備え、

前記パンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を

実行するときに、前記複数のパンクのうちの1つのパンクを前記データバスに接続し、残りのパンクを前記データバスから切断することを持つとする半導体メモリ。

【請求項32】 請求項27記載の半導体メモリにおいて、

前記複数のパンクは、前記ロウ方向に2つ、前記カラム方向に2つ、合計4つ存在していることを特徴とする半導体メモリ。

【請求項33】 請求項27記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項34】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの前記ロウ方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項35】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記カラム方向に延長して配置されていることを特徴とする半導体メモリ。

【請求項36】 請求項27記載の半導体メモリにおいて、

前記データ入出力領域は、前記複数ビットのデータを同時に入出力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項37】 請求項27記載の半導体メモリにおいて、

前記データバスは、前記メモリチップの中央部において、前記ロウ方向に延長し、前記複数のパンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項38】 請求項27記載の半導体メモリにおいて、

前記複数のパンクの各々が複数のカラムデコードを有している場合、前記複数のカラムデコードは、前記ロウ方向に配置され、前記複数のカラムデコードが制御する前記カラム選択線のグループは、互いに完全に分割されていることを特徴とする半導体メモリ。

【請求項39】 請求項27記載の半導体メモリにおいて、

前記ロウデコードは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを特徴とする半導体メモリ。

【請求項40】 請求項27記載の半導体メモリにおいて、

前記少なくとも1つのカラムデコードは、前記カラム選

選択のうちの1つのカラム選択線を選択する機能、及び、前記カラム選択線のうちの2つ以上のカラム選択線を選択する機能を備え、この2つの機能は、制御信号により切り替えられることを持つとする半導体メモリ。

【請求項4-1】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに対応に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスとを具備し、

前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの中ブロックの間に配置されるセンサアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、

前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項4-2】 請求項4-1記載の半導体メモリにおいて、前記複数のサブバンクsの各々は、

前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センサアンプに接続されるローカルDQ線対と、前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対と備えることを特徴とする半導体メモリ。

【請求項4-3】 請求項4-2記載の半導体メモリにおいて、

さらに、前記ローカルDQ線対と前記グローバルDQ線対の間に配置されるスイッチを備えることを特徴とする半導体メモリ。

【請求項4-4】 請求項4-3記載の半導体メモリにおいて、

前記スイッチは、RチャネルタイプMOSトランジスタから構成されることを持つとする半導体メモリ。

【請求項4-5】 請求項4-1記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、

前記バンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかつたサブバンクを前記データバスから切断することを持つとする半導体メモリ。

【請求項4-6】 請求項4-5記載の半導体メモリにおいて、

前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを経由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを持つとする半導体メモリ。

【請求項4-7】 請求項4-1記載の半導体メモリにおいて、

前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを特徴とする半導体メモリ。

【請求項4-8】 請求項4-1記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの数がnの場合、前記データ入出力領域は、前記複数ビットのデータのn倍のデータを同時に出入力するための複数のデータ入出力回路を有していることを特徴とする半導体メモリ。

【請求項4-9】 請求項4-1記載の半導体メモリにおいて、

前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコーダを有している場合、前記複数のカラムデコーダは、前記ロウ方向に配置され、前記複数のカラムデコーダが制御する前記カラム選択線のグループは、互いに完全に分割されていることを特徴とする半導体メモリ。

【請求項5-0】 請求項4-1記載の半導体メモリにおいて、

前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを持つとする半導体メモリ。

【請求項5-1】 請求項4-1記載の半導体メモリにおいて、

前記データ入出力領域は、前記メモリチップの中央部において前記カラム方向に長くなるように配置されていることを特徴とする半導体メモリ。

【請求項52】 請求項51記載の半導体メモリにおいて、前記データバスは、前記データ入出力領域の前記ロウ方向の両側において、それぞれ前記ロウ方向に延長していることを特徴とする半導体メモリ。

【請求項53】 請求項52記載の半導体メモリにおいて、前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項54】 請求項53記載の半導体メモリにおいて、前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項55】 請求項41記載の半導体メモリにおいて、前記データ入出力領域は、前記メモリチップの前記ロウ方向の2つの端部のうちの一方に配置されていることを特徴とする半導体メモリ。

【請求項56】 請求項55記載の半導体メモリにおいて、前記データバスは、前記データ入出力領域の前記ロウ方向の1つの側において、それぞれ前記ロウ方向に延長していることを特徴とする半導体メモリ。

【請求項57】 請求項56記載の半導体メモリにおいて、前記複数のメインバンクを構成する前記複数のサブバンクは、前記データバスの前記カラム方向の両側に配置されていることを特徴とする半導体メモリ。

【請求項58】 請求項57記載の半導体メモリにおいて、前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在していることを特徴とする半導体メモリ。

【請求項59】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、複数ビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のけブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスとを備えし、

前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置され

る2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、

カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラム

デコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、

前記複数のデータバスは、各々のデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンクは、各々のデータバスの前記カラム方向の両側に配置され、

前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とする半導体メモリ。

【請求項60】 請求項59記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、

前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルDQ線対と、

前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対と備えることを特徴とする半導体メモリ。

【請求項61】 請求項60記載の半導体メモリにおいて、

さらに、前記ローカルDQ線対と前記グローバルDQ線対の間に配置されるスイッチを備えることを特徴とする半導体メモリ。

【請求項62】 請求項61記載の半導体メモリにおいて、

前記スイッチは、NチャネルタイプMO<sub>9</sub>トランジスタから構成されることを特徴とする半導体メモリ。

【請求項63】 請求項59記載の半導体メモリにおいて、

前記複数のサブバンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるバンク選択回路を備え、

前記バンク選択回路は、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を

実行するときに、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクを選択し、この選択されたサブバンクを前記データバスに接続し、選択されなかったサブバンクを前記データバスから切断することを持続とする半導体メモリ。

【請求項64】 請求項53記載の半導体メモリにおいて、前記選択されたサブバンクにおいて入出力されるデータは、それぞれ異なる前記データバスを経由して、前記選択されたサブバンクと前記データ入出力領域との間を行き来することを持続とする半導体メモリ。

【請求項65】 請求項59記載の半導体メモリにおいて、前記2つの小ブロックの間に配置され、前記カラム選択線に接続されるカラム選択スイッチを備えることを持続とする半導体メモリ。

【請求項66】 請求項59記載の半導体メモリにおいて、前記複数のメインバンクの各々を構成する前記複数のサブバンクの数がnの場合、前記データ入出力領域の数は、nであり、前記データ入出力領域の各々は、前記複数ビットのデータを同時に入出力するための複数のデータ入出力回路を有していることを持続とする半導体メモリ。

【請求項67】 請求項59記載の半導体メモリにおいて、前記複数のメインバンクの各々を構成する前記複数のサブバンクの各々が、複数のカラムデコーダを有している場合、前記複数のカラムデコーダは、前記ロウ方向に配置され、前記複数のカラムデコーダが制御する前記カラム選択線のグループは、互いに完全に分割されていることを持続とする半導体メモリ。

【請求項68】 請求項59記載の半導体メモリにおいて、前記ロウデコーダは、前記2つの小ブロックのうちのいずれか1つを選択し、かつ、その選択された小ブロックのワード線のうちから1つのワード線を選択することを持続とする半導体メモリ。

【請求項69】 請求項59記載の半導体メモリにおいて、前記複数のメインバンクを構成する前記複数のサブバンクは、前記ロウ方向に4つ、前記カラム方向に2つ、合計8つ存在することを持続とする半導体メモリ。

【請求項70】 請求項59記載の半導体メモリにおいて、前記複数のメインバンクの各々は、外部クロックに同期して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うことを持続とする半導体メモリ。

【請求項71】 複数のブロックから構成されるメモリ

セルアレイと、前記複数のブロックのうち少なくとも1つのブロック内のメモリセルに同時にデータを書き込むブロックライト手段と、前記少なくとも1つのブロックに書き込むデータを予め保持しておくレジスタとを備える半導体メモリをテストするためのテスト回路において、

テストモード時において、前記メモリセルアレイのメモリセルに前記レジスタのデータを書き込み、かつ、前記メモリセルのデータを読み出すためのテストモード書き込み・読み出し手段と、前記レジスタに保持されたデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出されたデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示すデータを出力する比較手段と、前記比較手段から出力されるデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを具備することを持続とするテスト回路。

【請求項72】 複数のブロックから構成されるメモリセルアレイと、前記複数のブロックのうちn(nは、2以上の自然数)のブロック内のメモリセルに同時にnビットのデータを書き込むブロックライト手段と、前記nのブロックに書き込む前記nビットのデータを予め保持しておくレジスタとを備える半導体メモリをテストするためのテスト回路において、

テストモード時において、前記メモリセルアレイのメモリセルに同時に前記レジスタに保持された前記nビットのデータを書き込み、かつ、前記メモリセルの前記nビットのデータを読み出すためのテストモード書き込み・読み出し手段と、前記レジスタに保持された前記nビットのデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出された前記nビットのデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示す1ビットのデータを出力する比較手段と、前記比較手段から出力される前記1ビットのデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを具備することを持続とするテスト回路。

【請求項73】 請求項72記載のテスト回路において、前記比較手段における前記比較結果を示すnビットのデータを保持するラッチ手段と、前記良否の結果が不良である場合に、前記ラッチ手段のnビットのデータを順次前記テスト用出力回路に与える切り替え手段とを備えることを持続とするテスト回路。

【請求項74】 請求項72記載のテスト回路において、前記半導体メモリは、nビットのデータの入出力を同時に行えるnビットタイプの半導体メモリであり、前記半

複数メモリは、通常動作モード時に使用されるn個の出力パッドを有し、前記テスト用出力回路は、前記n個の出力パッドのうちの1つの出力パッドに接続されていることを特徴とするテスト回路。

【請求項7-5】 カラム方向に延長して配置される複数のブロックを有し、各々のブロックは、マトリックス状に配置される複数のスイッチから構成されるスイッチアレイと、前記スイッチアレイのロウ方向の端部に隣接して配置され、前記スイッチアレイのロウを選択するロウデコーダと、前記スイッチアレイのカラム方向の端部に隣接して配置され、前記ロウ方向に延長するロー・カルドQ線と、前記スイッチアレイの複数のスイッチに接続され、データを前記ロー・カルドQ線に導くデータ線とから構成され、かつ、

前記複数のブロック上において前記カラム方向に延長して配置され、一端が前記ロー・カルドQ線に接続されるグローバルDQ線と、

前記複数のブロックの前記カラム方向の端部に隣接して配置され、前記複数のブロックの前記スイッチアレイのカラムを選択するカラムデコーダと、

前記複数のブロックの前記カラム方向の端部に隣接して配置され、前記グローバルDQ線の他端に接続され、データの入出力を実行するデータ入出力回路とを有することを持続とするデータ転送システム。

【請求項7-6】 請求項7-5記載のデータ転送システムにおいて、

前記スイッチアレイ上に配置されるカラム選択線を備えることを特徴とするデータ転送システム。

【請求項7-7】 請求項7-6記載のデータ転送システムにおいて、

前記スイッチアレイの端部に隣接して配置されるカラム選択スイッチを備え、前記カラム選択スイッチは、前記カラム選択線に接続されることを持つことを特徴とするデータ転送システム。

【請求項7-8】 請求項7-5記載のデータ転送システムにおいて、

前記スイッチアレイの端部に隣接して配置されるレジスタを備え、前記レジスタは、前記データ線と前記ロー・カルドQ線の間に接続されることを持つことを特徴とするデータ転送システム。

【請求項7-9】 請求項7-5記載のデータ転送システムにおいて、

前記データ入出力回路は、同時に複数ビットのデータの入出力をを行うことを特徴とするデータ転送システム。

【請求項8-0】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクと共に接続され、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のバンクの各々は、

メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、

前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、

前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、

前記複数のバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行なうように構成されていることを特徴とするメモリシステム。

【請求項8-1】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを具備し、

前記複数のサブバンクの各々は、

メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、

ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接

統される複数のロウデコーダと、  
前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQパッファと、  
前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、  
前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。  
【請求項62】 メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクと共に共通に設けられ、ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続する1/0バスとを具備し、  
前記複数のバンクの各々は、  
メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、  
前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、  
前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、  
前記カラム方向の2つの端部のうちの他方に配置されるDQパッファと、  
前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、  
前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。  
【請求項63】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUリチップと、前記メモリチップと前記CPUリチップを互いに接続する1/0バスとを具備し、  
前記複数のサブバンクの各々は、

メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、  
前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、  
前記ロウ方向の2つの端部のうちの一方に配置され、前記データ入出力領域の間ににおける前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続する1/0バスとを具備し、  
前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。  
【請求項64】 メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUリチップと、前記メモリチップと前記CPUリチップを互いに接続する1/0バスとを具備し、  
前記複数のサブバンクの各々は、  
メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、  
前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、  
前記ロウ方向の2つの端部のうちの一方に配置され、前記データ入出力領域の間ににおける前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続する1/0バスとを具備し、  
前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

記中ブロックの各々に1つずつ設けられ、前記ワード块に接続される複数のロウデコードと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成され、かつ、前記複数のデータバスは、各々のデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンクは、各々のデータバスの前記カラム方向の両側に配置され、前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されていることを特徴とするメモリシステム。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、複数ビットのデータの入出力を同時に実行するマルチビットタイプの半導体メモリに関する。

##### 【0002】

【従来の技術】DRAM(ダイナミック型ランダムアクセスメモリ)などの半導体メモリを有するデジタルシステムでは、データ転送速度を高めるため、以下の工夫が施されている。

【0003】第一の工夫は、半導体メモリをマルチビットタイプにすることである。マルチビット( $\times 2^n$ )タイプの半導体メモリは、一般に、 $2^n$ (nは、自然数)ビットのデータの入出力を同時に実行することができるよう構成されている。

【0004】第二の工夫は、CPU(cpu+memory processing unit)から出力される高周波数の外部クロックに同期させてデータの入出力動作を行うことである。このようクロック同期タイプの半導体メモリ(SDRAM、RDRAMなど)では、外部クロックの周波数を高くすればするほど、連続したデータを高速に入出力できるため、データ転送速度を高めることができる。

【0005】第三の工夫は、1つの半導体メモリ(メモリチップ)内に複数のバンクを設けることである。複数のバンクは、互いに同一の要素を有し、これら複数のバンクの各々が独立にデータの入出力動作を行なうことができるよう構成されている。これにより、最初のデータにアクセスするまでの時間(レイテンシ)を短くでき、データ転送速度を高めることができる。

【0006】図37は、従来の半導体メモリのチップレイアウトの概略を示している。

【0007】この半導体メモリは、上記三つの工夫全てを備えているものである。

【0008】1つのメモリチップ10上には、4つのバンク11-0～11-3が配置されている。各バンク11-0～11-3には、メモリセルアレイ、セルアレイコントローラが形成され、かつ、ロウデコード、カラムデコード、DQバッファ(バンクの入出力部のバッファのこと)などの周辺回路が形成されている。

【0009】また、1つのメモリチップ10上には、データ入出力領域12が配置されている。データ入出力領域12には、複数の入出力回路(1/0)、例えば16ビット(2バイト)のデータの入出力を同時に実行する場合には、16個の入出力回路が形成されている。

【0010】バンク11-0～11-3の間には、データバス13が配置されている。データバス13は、バンク11-0～11-3とデータ入出力領域12の間ににおけるデータの経路となるものである。データバス13は、例えば16ビット(2バイト)のデータの入出力を同時に実行する場合、16ビットのデータの転送を行えるよう構成される。

【0011】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0012】まず、4つのバンク11-0～11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われ、2nビット(例えば16ビット(2バイト))のデータが選択された1つのバンクから出力される。

【0013】この2nビットのデータは、データバス13を経由して、データ入出力領域12に導かれ、かつ、データ入出力領域12から半導体メモリ(メモリチップ)外部に出力される。

##### 【0014】

【発明が解決しようとする課題】上述の半導体メモリにおいて検討しなければならない点は、1つのメモリチップ上の全領域に占めるデータバス13の領域の割合である。即ち、データバス13の領域をできるだけ小さくし、チップ面積の縮小を図ることが重要である。

【0015】しかし、同時に出入力を実行するビット数が増えると従い、データバスの領域は、増大する。

【0016】つまり、従来は、半導体メモリの構成を、16ビットタイプ( $\times 16$ )→32ビットタイプ( $\times 32$ )→64ビット( $\times 64$ )へと、多ビットタイプのものに移行していくに従い、チップ面積が増大していく欠点がある。

【0017】本発明は、上記欠点を解決すべくなされたもので、その目的は、マルチビットタイプ、クロック同期タイプ、バンクタイプの半導体メモリにおいて、チップ面積を増大させることなく、データ転送速度を高めることを可能にすることである。

##### 【0018】

【課題を解決するための手段】上記目的を達成するた

め、本発明の半導体メモリは、メモリチップと、前記メモリチップ上に配置される複数のパンクを備えている。前記複数のパンクの各々は、互いに独立して、複数ビットのデータの読み出し動作又は複数ビットのデータの書き込み動作を行う。

【0019】前記複数のパンクの各々は、複数の中ブロックを有する。前記中ブロックの各々は、メモリセルアレイから構成される2つの小ブロックと、前記2つの小ブロックの間に配置されるセンスアンプと、前記メモリセルアレイ上に配置されるワード線、データ線及びカラム選択線を有する。前記中ブロックの各々は、前記カラム選択線及び前記データ線対が延長するカラム方向に配置される。前記小ブロックの各々は、前記カラム方向に配置される。

【0020】前記複数のパンクの各々は、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダを有する。

【0021】前記複数のパンクの各々は、前記ワード線が延長するロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続されるロウデコーダを有する。

【0022】前記複数のパンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファを有する。

【0023】前記複数のパンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラを有する。

【0024】本発明の半導体メモリは、前記メモリチップ上に配置され、前記複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のパンクに共通に設けられ、前記ロウ方向に延長し、前記複数のパンクと前記データ入出力領域との間に設けられる前記複数ビットのデータの経路となるデータバスを備える。

【0025】前記複数のパンクの各々は、前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルDQ線対と、前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対と備えている。

【0026】本発明の半導体メモリは、メモリチップと、前記メモリチップ上に配置される複数のメインパンクを備えている。前記複数のメインパンクの各々は、複数のサブパンクから構成される。前記複数のサブパンクの各々は、互いに独立して、複数ビットのデータの読み出し動作又は複数ビットのデータの書き込み動作を行う。

【0027】前記複数のサブパンクの各々は、複数の中ブロックを有する。前記中ブロックの各々は、メモリセルアレイから構成される2つの小ブロックと、前記2つの小ブロックの間に配置されるセンスアンプと、前記メモリセルアレイ上に配置されるワード線、データ線及びカラム選択線を有する。前記中ブロックの各々は、前記カラム選択線及び前記データ線対が延長するカラム方向に配置される。前記小ブロックの各々は、前記カラム方向に配置される。

【0028】前記複数のサブパンクの各々は、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダを有する。

【0029】前記複数のサブパンクの各々は、前記ワード線が延長するロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続されるロウデコーダを有する。

【0030】前記複数のサブパンクの各々は、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファを有する。

【0031】前記複数のサブパンクの各々は、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラを有する。

【0032】本発明の半導体メモリは、前記メモリチップ上に配置され、前記複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインパンクを構成する全てのサブパンクのうち2つ以上のサブパンクに共通に設けられ、前記ロウ方向に延長し、前記サブパンクと前記データ入出力領域との間に設けられる前記複数ビットのデータの経路となる複数のデータバスを有する。

【0033】前記複数のサブパンクの各々は、前記中ブロックの各々を構成する前記2つの小ブロックの間に配置され、前記ロウ方向に延長し、前記センスアンプに接続されるローカルDQ線対と、前記中ブロック上において前記カラム方向に延長し、前記ローカルDQ線対と前記DQバッファとを接続するグローバルDQ線対と備えている。

【0034】本発明のテスト回路を備える半導体メモリは、複数のブロックから構成されるメモリセルアレイと、前記複数のブロックのうちn(nは、2以上の自然数)のブロック内のメモリセルに同時にnビットのデータを書き込むブロックライト手段と、前記nのブロックに書き込む前記nビットのデータを予め保持しておくレジスタとを有する。

【0035】本発明のテスト回路は、テストモードにおいて、前記メモリセルアレイのメモリセルに同時に前記レジスタに保持された前記nビットのデータを書き込

み、かつ、前記メモリセルの前記nビットのデータを読み出すためのテストモード書き込み・読み出し手段と、前記レジスタに保持された前記nビットのデータと前記テストモード書き込み・読み出し手段により前記メモリセルから読み出された前記nビットのデータとを比較し、その比較結果に基づいて前記半導体メモリの良否を判定し、その良否の結果を示す1ビットのデータを出力する比較手段と、前記比較手段から出力される前記1ビットのデータを前記半導体メモリの外部に出力するためのテスト用出力回路とを備える。

【0036】本発明のテスト回路は、前記比較手段における前記比較結果を示すnビットのデータを保持するラッチ手段と、前記良否の結果が不良である場合に、前記ラッチ手段のnビットのデータを前記テスト用出力回路に与える切り替え手段とを備える。

【0037】本発明のテスト回路を備える半導体メモリは、nビットのデータの入出力を同時に与えるnビットタイプの半導体メモリであり、前記半導体メモリは、通常動作モード時に使用されるn個の出力パッドを有し、本発明のテスト回路のテスト用出力回路は、前記n個の出力パッドのうちの1つの出力パッドに接続される。

【0038】本発明のデータ転送システムは、カラム方向に延長して配置される複数のブロックを有し、各々のブロックは、マトリックス状に配置される複数のスイッチから構成される2つのスイッチアレイと、前記2つのスイッチアレイのロウ方向の2つの端部のうちの一方に隣接して配置され、前記2つのスイッチアレイのロウを遮断するロウデコーダと、前記2つのスイッチアレイの間に配置され、前記ロウ方向に延長するローカルDQ線と、各スイッチアレイの複数のスイッチに接続され、データを前記ローカルDQ線に送るデータ線とから構成される。

【0039】また、本発明のデータ転送システムは、前記複数のブロック上において前記カラム方向に延長して配置され、一端が前記ローカルDQ線に接続されるグローバルDQ線と、前記複数のブロックの前記カラム方向の2つの端部のうちの一方に隣接して配置され、前記複数のブロックのスイッチアレイのカラムを選択するカラムデコーダと、前記複数のブロックの前記カラム方向の2つの端部のうちの他方に隣接して配置され、前記グローバルDQ線の他端に接続され、データの入出力を実行するデータ入出力回路とを有する。

【0040】また、本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクと共に接続され、カラム方向に延長し、前記複数のバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

CPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0041】前記複数のバンクの各々は、メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0042】前記複数のバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行なうように構成されている。

【0043】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、カラム方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間ににおける前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0044】前記複数のサブバンクの各々は、メモリセルアレイから構成され、前記カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンスアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの少なくとも一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記ロウ方向の2つの端部のうちの他方に配置され、前記中ブロックの各々に1つずつ設けられる複数のDQバッファと、前記ロウ方向の2つの端部のうちの一方に配置され、前記複数ビットのデータの読み出し動作又は前記複

数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0045】前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0046】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置される複数のバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のバンクと共に共通に設けられ、ロウ方向に延長し、前記複数のバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となるデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0047】前記複数のバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンサアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、前記カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0048】前記複数のバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0049】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するためのデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0050】前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの

小ブロック、前記2つの小ブロックの間に配置されるセンサアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0051】前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0052】本発明のメモリシステムは、メモリチップと、前記メモリチップ上に配置され、複数のサブバンクから構成される複数のメインバンクと、前記メモリチップ上に配置され、クロック信号に同期して複数ビットのデータの入出力を実行するための複数のデータ入出力領域と、前記複数のメインバンクを構成する全てのサブバンクのうち2つ以上のサブバンクに共通に設けられ、ロウ方向に延長し、前記複数のメインバンクのサブバンクと前記データ入出力領域の間における前記複数ビットのデータの経路となる複数のデータバスと、前記クロック信号を生成するCPUチップと、前記メモリチップと前記CPUチップを互いに接続するI/Oバスとを備える。

【0053】前記複数のサブバンクの各々は、メモリセルアレイから構成され、カラム方向に配置される2つの小ブロック、前記2つの小ブロックの間に配置されるセンサアンプ、及び、前記メモリセルアレイ上に配置されるワード線、データ線、カラム選択線を有し、カラム方向に配置される複数の中ブロックと、前記カラム方向の2つの端部のうちの一方に配置され、前記カラム選択線に接続される少なくとも1つのカラムデコーダと、前記ロウ方向の2つの端部のうちの一方に配置され、前記中ブロックの各々に1つずつ設けられ、前記ワード線に接続される複数のロウデコーダと、前記カラム方向の2つの端部のうちの他方に配置されるDQバッファと、前記ロウ方向の2つの端部のうちの他方に配置され、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を制御するセルアレイコントローラとから構成される。

【0054】前記複数のデータバスは、各々のデータ入出力領域の前記ロウ方向の両側にそれぞれ配置され、前記複数のメインバンクを構成する前記複数のサブバンク

は、各々のデータバスの前記カラム方向の両側に配置される。

【0055】前記複数のサブバンクの各々は、互いに独立して、前記複数ビットのデータの読み出し動作又は前記複数ビットのデータの書き込み動作を行うように構成されている。

【0056】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体メモリ及びそのテスト回路、並びにデータ転送システムについて詳細に説明する。

【0057】図1は、本発明の第1参考例である半導体メモリのチップレイアウトを示している。図2は、図1の1つのバンク内のレイアウトを詳細に示している。

【0058】この参考例では、16ビットのデータを同時に出入力することができる16ビットタイプ( $\times 16$ )の半導体メモリについて説明する。

【0059】1つのメモリチップ10上には、4つのバンク11-0～11-3が配置されている。各バンク11-0～11-3には、メモリセルアレイCAL, CAR, セルアレイコントローラCACが形成され、かつ、ロウデコーダRD, カラムデコーダCD0, CD1, DQ/バッファ(バンクの入出力部のバッファのこと)をいう)DQなどの周辺回路が形成されている。

【0060】1つのバンク内のメモリセルアレイは、4つの中ブロックBLe, BLb, BLc, BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL, CARに分けられている。従って、1つのバンク内のメモリセルアレイは、8個のブロックから構成されている。

【0061】ロウデコーダRDは、4つの中ブロックBLe, BLb, BLc, BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL, CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ(ワード線17)を選択する。

【0062】カラムデコーダCD0, CD1は、1つのバンク内に2つ設けられている。カラムデコーダCD0, CD1は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLe, BLb, BLc, BLdのメモリセルアレイの1つ又は複数のカラムを選択する。

【0063】即ち、カラムデコーダCD0, CD1により所定のカラム選択線15-0, 15-1が選択されると、その所定のカラム選択線15-0, 15-1に接続されたカラム選択スイッチ16がオン状態となり、1つのデータ線対14のデータ又は複数のデータ線対14のデータがセンスアンプSA及びデータ線対(以下、このデータ線対をDQ線対と称し、データ線対14と区別する)18を経由してDQバッファDQに接続される。

【0064】本参考例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、2つのカラムデコーダが存在するため、中ブロックBLe, BLb, BLc, BLdの各々からは、4ビットのデータが入出力される。つまり、1つのバンクからは、16ビット(2バイト)のデータが入出力される。この16ビットのデータは、データバス13を通じて、バンク11-0～11-3のうちの1つと、データ入出力領域12との間を行き来する。

【0065】センスアンプSA及びカラム選択スイッチ16は、メモリセルアレイのそれぞれの中ブロックBLe, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0066】ロウデコーダRDとDQバッファDQは、メモリセルアレイCAL, CARを中心接んで、互いに対向するように配置されている。カラムデコーダCD0は、4つの中ブロックBLe, BLb, BLc, BLdが配置される方向、即ち、カラム方向(データ線対又はカラム選択線が延長する方向)の2つの端部のうちの一方向に配置され、カラムデコーダCD0は、当該2つの端部のうちの他方向に配置されている。

【0067】セルアレイコントローラCACは、ロウデコーダRDに隣接して配置される。セルアレイコントローラCACは、バンク内のデータの入出力動作の制御を行っている。

【0068】DQバッファDQの直後には、一般に、バンクを選択するためのバンクセレクタSELが配置されている。

【0069】データは、データ線対14、センスアンプSA及びカラム選択スイッチ16を経由した後、DQ線対18に接続される。DQ線対18は、メモリセルアレイのそれぞれの中ブロックBLe, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0070】従って、データは、DQ線対18により、メモリセルアレイの4つの中ブロックBLe, BLb, BLc, BLdが配置される方向(カラム方向)に直交する方向、即ち、ロウ方向(ワード線が延長する方向)に移動した後、DQバッファDQを経由して、バンクから出力される。

【0071】4つのバンクに共有されるデータバス13は、バンク11-0, 11-1とバンク11-2, 11-3の間に配置され、メモリセルアレイの中ブロックBLe, BLb, BLc, BLdが配置される方向、即ち、カラム方向に延長している。データバス13は、バンク11-0～11-3とデータ入出力領域12の間ににおけるデータの入出力の経路となるものである。

【0072】本参考例では、16ビットタイプの半導体メモリを前提としているため、データバス13は、16ビット(2バイト)のデータの入出力を同時に実行できるよ

うに構成されている。

【0073】データ入出力領域12には、16ビット(2バイト)のデータの入出力を同時に見えるよう、16個の入出力回路(1/0)が形成されている。

【0074】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0075】まず、バンクセレクタSELにより、4つのバンク11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0076】データの出力(読み出し)の場合には、2nビット(例えば16ビット(2バイト))のデータが、DQ映射1Bを経由して、当該選択された1つのバンクから出力される。バンクから出力された2nビットのデータは、データバス13を経由して、データ入出力領域12に導かれ、かつ、データ入出力領域12から半導体メモリ(メモリチップ)外部に出力される。

【0077】データの入力(書き込み)の場合には、2nビット(例えば16ビット(2バイト))のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された2nビットのデータは、DQ映射1B及びセンサアンプSAを経由して、メモリセルアレイのメモリセルに記憶される。

【0078】上述の半導体メモリのチップレイアウトには、以下の欠点がある。

【0079】第一に、4つのバンク11-0~11-3に共有されるデータバス13は、メモリチップ10の中央部を疏通して配置され、カラム方向(データ映射又はカラム選択線が延長する方向)に延長している。この場合、半導体メモリのピットタイプ、即ち、同時に出入力動作を行うピット数に比例して、データバス13の本数が増え、データバス13の領域が増大する。

【0080】例えば、16ビットタイプ(×16)の半導体メモリの場合、データバス13は、16ビット分のデータを転送できる数の配線が必要となり、同様に、32ビットタイプ(×32)の半導体メモリの場合、データバス13は、32ビット分のデータを転送できる数の配線が必要となる。

【0081】第二に、バンク内の中ブロックBL<sub>a</sub>~BL<sub>d</sub>のそれぞれに配置されるDQ映射1Bは、メモリセルアレイの小ブロックCAL、CARの間のみに配置され、ロウ方向(ワード線が延長する方向)のみに延長している。この場合、1の中ブロックから出力されるピット数に比例して、DQ映射1Bの本数が増え、DQ映射1Bの領域が増大する。

【0082】例えば、1の中ブロックにおいて4ビットのデータの入出力をを行う場合、DQ映射1Bは、4ビット分のデータを転送できる数の配線が必要となり、同様に、1の中ブロックにおいて8ビットのデータの入

出力を行う場合、DQ映射1Bは、8ビット分のデータを転送できる数の配線が必要となる。

【0083】第三に、バンク内において、ロウ方向の2つの端部の一方にロウデコーダRDが配置され、他方にDQパッファDQが配置されている。この場合、カラムデコーダCD0は、バンク内において、カラム方向の2つの端部の一方に配置され、カラムデコーダCD1は、当該2つの端部の他方に配置される。

【0084】また、セルアレイコントローラCACは、4の中ブロックBL<sub>a</sub>、BL<sub>b</sub>、BL<sub>c</sub>、BL<sub>d</sub>に跨るよう、ロウ方向の2つの端部の一方に配置される。

【0085】従って、ロウデコーダRDとセルアレイコントローラCACは、共に、ロウ方向の2つの端部の一方に配置されるため、ロウデコーダRD及びセルアレイコントローラCACを構成する素子の配置や配線などが複雑になる。

【0086】図3は、本発明の第2参考例である半導体メモリのチップレイアウトを示している。図4は、図3の1つのバンク内のレイアウトを詳細に示している。

【0087】この参考例では、32ビットのデータを同時に出入力することができる32ビットタイプ(×32)の半導体メモリについて説明する。

【0088】1つのメモリチップ10上には、4つのバンク11-0~11-3が配置されている。各バンク11-0~11-3には、メモリセルアレイCAL、CAR、セルアレイコントローラCACが形成され、かつ、ロウデコーダRD、カラムデコーダCD0、CD1、DQパッファ(バンクの入出力部のパッファのこと)を含むDQなどの周辺回路が形成されている。

【0089】1つのバンク内のメモリセルアレイは、4の中ブロックBL<sub>a</sub>、BL<sub>b</sub>、BL<sub>c</sub>、BL<sub>d</sub>に分けられている。また、各中ブロックは、2つの小ブロックCAL、CARに分けられている。従って、1つのバンク内のメモリセルアレイは、8箇のブロックから構成されている。

【0090】ロウデコーダRDは、4の中ブロックBL<sub>a</sub>、BL<sub>b</sub>、BL<sub>c</sub>、BL<sub>d</sub>の各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL、CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のロウから1つのロウ(ワード線17)を選択する。

【0091】カラムデコーダCD0~CD3は、1つのバンク内に4つ設けられている。カラムデコーダCD0~CD3は、それぞれカラムアドレス信号に基づいて、4の中ブロックBL<sub>a</sub>、BL<sub>b</sub>、BL<sub>c</sub>、BL<sub>d</sub>のメモリセルアレイの1つ又は複数のカラムを選択する。

【0092】即ち、カラムデコーダCD0~CD3により所定のカラム選択15-0~15-3が選択される。

と、その所定のカラム選択線 15-0~15-3に接続されたカラム選択スイッチ 16がオン状態となり、1つのデータ線対 14のデータ又は複数のデータ線対 14のデータがセンスアンプ SA及びデータ線対(以下、このデータ線対をDQ線対と称し、データ線対 14と区別する) 18を経由してDQバッファ DQに送られる。

【0093】本参考例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、カラムデコーダが4つ存在するため、中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>の各々からは、8ビットのデータが入出力される。つまり、1つのバンクからは、32ビット(4バイト)のデータが入出力される。この32ビットのデータは、データバス 13を通じて、バンク 11-0~11-3のうちの1つと、データ入出力領域 12との間を行き来する。

【0094】センスアンプ SA及びカラム選択スイッチ 16は、メモリセルアレイのそれぞれの中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>において、メモリセルアレイの小ブロック CAL, CARの間に配置されている。

【0095】ロウデコーダ RDとDQバッファ DQは、メモリセルアレイ CAL, CARを中央に挟んで、互いに対向するように配置されている。カラムデコーダ CDOは、4つの中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>が配置される方向、即ち、カラム方向(データ線対又はカラム選択線が延長する方向)の2つの端部のうちの一方向に配置され、カラムデコーダ CDOは、当該2つの端部のうちの他方向に配置されている。

【0096】セルアレイコントローラ CA<sub>a</sub>は、ロウデコーダ RDに隣接して配置される。セルアレイコントローラ CA<sub>a</sub>は、バンク内のデータの入出力動作の制御を行っている。

【0097】DQバッファ DQの直後には、一般に、バシクを選択するためのバンクセレクタ SELが配置されている。

【0098】データは、データ線対 14、センスアンプ SA及びカラム選択スイッチ 16を経由した後、DQ線対 18に送られる。DQ線対 18は、メモリセルアレイのそれぞれの中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>において、メモリセルアレイの小ブロック CAL, CARの間に配置されている。

【0099】従って、データは、DQ線対 18により、メモリセルアレイの4つの中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>が配置される方向(カラム方向)に直交する方向、即ち、ロウ方向(ワード線が延長する方向)に移動した後、DQバッファ DQを経由して、バンクから出力される。

【0100】4つのバンクに共有されるデータバス 13は、バンク 11-0, 11-1とバンク 11-2, 11-3の間に配置され、メモリセルアレイの中ブロック BL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>が配置される方向、即

ち、カラム方向に延長している。データバス 13は、バンク 11-0~11-3とデータ入出力領域 12の間ににおけるデータの入出力の経路となるものである。

【0101】本参考例では、32ビットタイプの半導体メモリを前提としているため、データバス 13は、32ビット(4バイト)のデータの入出力を同時に実行できるよう構成されている。

【0102】データ入出力領域 12には、32ビット(4バイト)のデータの入出力を同時に実行できるように、32個の入出力回路(1/0)が形成されている。

【0103】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0104】まず、バンクセレクタ SELにより、4つのバンク 11-0~11-3のうちから1つのバンクが選択される。選択された1つのバンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0105】データの出力(読み出し)の場合には、2nビット(例えば32ビット(4バイト))のデータが、DQ線対 18を経由して、当該選択された1つのバンクから出力される。バンクから出力された2nビットのデータは、データバス 13を経由して、データ入出力領域 12に送られ、かつ、データ入出力領域 12から半導体メモリ(メモリチップ)外部に出力される。

【0106】データの入力(書き込み)の場合には、2nビット(例えば32ビット(4バイト))のデータが、データ入出力領域 12、データバス 13を経由して、当該選択された1つのバンクに入力される。当該選択された1つのバンクに入力された2nビットのデータは、DQ線対 18及びセンスアンプ SAを経由して、メモリセルアレイのメモリセルに記憶される。

【0107】上述の半導体メモリのチップレイアウトには、図2及び図3に示す第1参考例の半導体メモリのチップレイアウトと同様の欠点がある。

【0108】即ち、第一に、半導体メモリのビットタイプ、即ち、同時に入出力動作を行うビット数に比例して、複数のバンクに共通に設けられるデータバス 13の本数が増え、データバス 13の領域が増大する。第二に、各バンクの中ブロックから出力されるビット数に比例して、バンク内のDQ線対 18の本数が増え、DQ線対 18の領域が増大する。第三に、ロウデコーダ RDとセルアレイコントローラ CA<sub>a</sub>は、共に、ロウ方向の2つの端部の一方に配置されるため、ロウデコーダ RD及びセルアレイコントローラ CA<sub>a</sub>を構成する素子の配置や配線などが複雑になる。

【0109】本参考例では、さらに、カラム方向の2つの端部のそれぞれにおいて、2つのカラムデコーダが配置されるため、カラムデコーダ CDO~CD3を構成する素子の配置や配線などが複雑になる。

【0110】図5は、図1及び図2の第1参考例の半導体メモリのバンクの位置とデータバスの位置を概念的に

示している。

【0111】メモリチップ10上の領域は、主に、バンク11-0～11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の4つの辺のうちの1つ、即ち、カラム方向の2つの辺のうちの1つに接続して配置されている。

【0112】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。

【0113】各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向(小ブロックが配置される方向)に延長するデータ線及びカラム選択線が配置されている。

【0114】DQ線対18は、2つの小ブロックの間ににおいて、ロウ方向に延長している。2つの小ブロックの間のDQ線対18は、4ビットのデータを転送できる数だけ存在している。

【0115】データバス13は、バンク11-0, 11-1とバンク11-2, 11-3の間に配置され、カラム方向に延長している。データバス13は、16ビット(2バイト)のデータを転送できるように構成されている。

【0116】図6は、図1及び図2の第1参考例の半導体メモリのチップレイアウトの変形例を示している。図7は、図6の半導体メモリのチップレイアウトを詳細に示すものである。

【0117】このチップレイアウトは、図1及び図2のチップレイアウトに比べて、以下の点で相違している。

【0118】第一に、1つのバンク(メインバンク)を、2つのサブバンクから構成している。

【0119】即ち、メインバンク11-0は、サブバンク11-0-#0, 11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0, 11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0, 11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0, 11-3-#1から構成されている。

【0120】サブバンク11-0-#0, 11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0, 11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0, 11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0121】また、4つのサブバンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0により1つのグループが構成され、4つのサブバンク11-0-#1, 11-1-#1, 11-2-#1, 11-3

-#1により1つのグループが構成されている。

【0122】つまり、サブバンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0のグループにおいて、同時に8ビットのデータの入出力が行われ、サブバンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1のグループにおいて、同時に8ビットのデータの入出力が行われる。

【0123】第二に、1つのサブバンクにおいて8ビット(1バイト)のデータの入出力をを行うように構成している。

【0124】サブバンクのレイアウトは、図1及び図2のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図1及び図2の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLe, BLb, BLc, BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0125】サブバンク内における、メモリセルアレイCAL, CAR, ロウデコーダRD, DQ線対18及びDQパッファRDQのレイアウトは、図1及び図2の半導体メモリのバンク内のレイアウトとほぼ同じである。

【0126】第三に、データ入出力回路(1/0)12a, 12bは、メモリチップ10の中央部においてロウ方向に長くなるように配置され、データバス13aは、サブバンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0のグループにおいて、データ入出力回路12bの両側に配置され、データバス13bは、サブバンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1のグループにおいて、データ入出力回路12bの両側に配置されている。

【0127】データバス13a, 13bは、それぞれサブバンクの間においてカラム方向に延長しており、メモリチップ10の中央部のデータ入出力回路12a, 12bに接続されている。データバス13a, 13bは、それぞれ8ビットのデータが転送できるように構成されている。

【0128】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0, 11-1-#0, 11-2-#0が選択された場合には、サブバンク11-0-#0とデータ入出力回路12aとの間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブバンク11-0-#1とデータ入出力回路12bとの間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0129】図8は、図1及び図2の第1参考例の半導体メモリのチップレイアウトの変形例を示している。図9は、図8の半導体メモリのチップレイアウトを詳細に

示すものである。

【0130】このチップレイアウトは、図1及び図2のチップレイアウトに比べて、以下の点で相違している。

【0131】第一に、1つのパンク（メインパンク）を、2つのサブパンクから構成している。

【0132】即ち、メインパンク11-0は、サブパンク11-0-#0, 11-0-#1から構成され、メインパンク11-1は、サブパンク11-1-#0, 11-1-#1から構成され、メインパンク11-2は、サブパンク11-2-#0, 11-2-#1から構成され、メインパンク11-3は、サブパンク11-3-#0, 11-3-#1から構成されている。

【0133】サブパンク11-0-#0, 11-0-#1は、パンク選択回路により、同時に選択される。サブパンク11-0-#0, 11-0-#1が選択された場合には、残りのサブパンクは、選択されない。同様に、例えば、サブパンク11-1-#0, 11-1-#1が選択された場合には、残りのサブパンクは、選択されない。

【0134】また、4つのサブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0により1つのグループが構成され、4つのサブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1により1つのグループが構成されている。

【0135】つまり、サブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0のグループにおいて、同時に8ビットのデータの入出力が行われ、サブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1のグループにおいて、同時に8ビットのデータの入出力が行われる。

【0136】第二に、1つのサブパンクにおいて8ビット（1バイト）のデータの入出力をを行うように構成している。

【0137】パンクのレイアウトは、図1及び図2のパンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブパンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図1及び図2の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中プロックBLe, BLb, BLc, BLdの各々において、2ビットのデータの入出力を実行するものとする。

【0138】パンク内における、メモリセルアレイCAL, CAR, ロウデコーダRD, DQ線対18及びDQパッファDQのレイアウトは、図1及び図2の半導体メモリのレイアウトと同じである。

【0139】第三に、データバス13aは、サブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0のグループにおいて、カラム方向に延長す

るよう配置され、データバス13bは、サブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1のグループにおいて、カラム方向に延長するよう配置されている。

【0140】即ち、データバス13aは、サブパンクの間において、カラム方向の端部に配置されたデータ入出力回路12aからカラム方向に延長し、データバス13bは、サブパンクの間において、カラム方向の端部に配置されたデータ入出力回路12bからカラム方向に延長している。

【0141】また、データバス13a, 13bは、それぞれ8ビットのデータが転送できるように構成されている。

【0142】このようなチップレイアウトの半導体メモリでは、例えば、サブパンク11-0-#0, 11-0-#1が選択された場合には、サブパンク11-0-#0とデータ入出力回路12aとの間においては、データバス13aを経由して8ビットのデータの授受が行われ、サブパンク11-0-#1とデータ入出力回路12bとの間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0143】図10は、本発明の第1実施例である半導体メモリのチップレイアウトを示している。図11は、図10の1つのパンク内のレイアウトを詳細に示している。

【0144】この実施例では、16ビットのデータを同時に出入力することができる16ビットタイプ（×16）の半導体メモリについて説明する。

【0145】1つのメモリチップ10上には、4つのパンク11-0～11-3が配置されている。各パンク11-0～11-3には、メモリセルアレイCAL, CAR, セルアレイコントローラCACが形成され、かつ、ロウデコーダRD, カラムデコーダCD0, CD1, DQパッファ（パンクの入出力部のバッファのこと）をいうDQなどの周辺回路が形成されている。

【0146】1つのパンク内のメモリセルアレイは、4つの中プロックBLe, BLb, BLc, BLdに分けられている。また、各中プロックは、2つの小プロックCAL, CARに分けられている。従って、1つのパンク内のメモリセルアレイは、8個のプロックから構成されている。

【0147】ロウデコーダRDは、4つの中プロックBLe, BLb, BLc, BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小プロックCAL, CARのうちのいずれか1つを選択し、かつ、選択された1つのプロック中の複数のロウから1つのロウ（ワード線17）を選択する。

【0148】メモリセルアレイの小プロックの選択は、2つのワード線19a, 19bのいずれか一方に、高電

圧を印加することにより行われる。例えば、ワード線19aに高電圧を印加すると、スイッチ20aがオン状態になり、小ブロックCALが選択される。この時、ワード線19bには、底電圧が印加されているため、スイッチ20bがオフ状態になり、小ブロックCARは、非選択である。

【0149】カラムデコーダCD0, CD1は、1つのパンク内に2つ設けられている。カラムデコーダCD0, CD1は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLa, BLb, BLc, BLdのメモリセルアレイの1つ又は複数のカラムを選択する。

【0150】例えば、カラムデコーダCD1によりカラム選択線15が選択されると、そのカラム選択線15に接続された2つのカラム選択スイッチ16がオン状態となる。そして、その2つのカラム選択スイッチ16に接続された2つのデータ線対14から、2ビットのデータがセンスアンプSA及びカラム選択スイッチ16を経由して、データ線対（以下、このデータ線対をローカルDQ線対と称し、データ線対14と区別する）18aに出力される。

【0151】本実施例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、2つのカラムデコーダが存在するため、中ブロックBLa, BLb, BLc, BLdの各々からは、4ビットのデータが入出力される。つまり、1つのパンクからは、16ビット（2バイト）のデータが入出力される。

【0152】センスアンプSA及びカラム選択スイッチ16は、メモリセルアレイのそれぞれの中ブロックBLa, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0153】ロウデコーダRDとセルアレイコントローラCACは、メモリセルアレイCAL, CARを中心で挟んで、互いに対向するように配置されている。即ち、ロウデコーダRDは、4つの中ブロックBLa, BLb, BLc, BLdが配置される方向に垂直な方向、即ちロウ方向（ワード線17, 19a, 19bが延長する方向）の2つの端部のうちの一方側に配置され、セルアレイコントローラCACは、当該2つの端部のうちの他方側に配置されている。

【0154】セルアレイコントローラCACは、パンク内のデータの入出力動作の制御を行うものである。

【0155】カラムデコーダCD0, CD1は、4つの中ブロックBLa, BLb, BLc, BLdが配置される方向、即ち、カラム方向（データ線対又はカラム選択線が延長する方向）の2つの端部のうちの一方側に配置されている。

【0156】2つのカラムデコーダCD0, CD1は、各カラムデコーダCD0, CD1が担当するメモリセルアレイのカラムを2分するように、ロウ方向に配置され

ている。

【0157】DQバッファDQは、カラム方向（データ線対又はカラム選択線が延長する方向）の2つの端部のうちの他方側に配置されている。即ち、カラムデコーダCD0, CD1とDQバッファDQは、メモリセルアレイCAL, CARを中心で挟んで、互いに対向するよう配置されている。

【0158】DQバッファDQの直後には、一般に、パンクを選択するためのパンクセレクタSELが配置されている。

【0159】データは、データ線対14、センスアンプSA及びカラム選択スイッチ16を経由した後、ローカルDQ線対18aに導かれる。ローカルDQ線対18aは、メモリセルアレイのそれぞれの中ブロックBLa, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0160】従って、ローカルDQ線対18aは、ロウ方向（ワード線が延長する方向）に延長している。

【0161】また、データ線対（以下、このデータ線対をグローバルDQ線対と称し、データ線対14と区別する）18bは、メモリセルアレイの小ブロックCAL, CAR上において、カラム方向に延長して配置されている。グローバルDQ線対18bの一端は、スイッチ21を経由してローカルDQ線対18aに接続され、他端は、DQバッファDQに接続されている。

【0162】スイッチ21のオン・オフは、コントロール信号CONにより制御されている。

【0163】4つのパンクに共有されるデータバス13は、パンク11-0, 11-2とパンク11-1, 11-3の間に配置され、ロウ方向に延長している。データバス13は、パンク11-0～11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0164】本実施例では、16ビットタイプの半導体メモリを前提としているため、データバス13は、16ビット（2バイト）のデータの入出力を同時に行えるように構成されている。

【0165】データ入出力領域12は、メモリチップ10のロウ方向の2つの端部のうちの一方側に配置されている。データ入出力領域12には、16ビット（2バイト）のデータの入出力を同時に行えるように、16個の入出力回路（1ノット）が形成されている。

【0166】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0167】まず、パンクセレクタSELにより、4つのパンク11-0～11-3のうちから1つのパンクが選択される。選択された1つのパンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0168】データの出力（読み出し）の場合には、2nビット（例えば16ビット（2バイト））のデータ

が、ローカルDQ線対18a及びグローバルDQ線対18bを経由して、当該選択された1つのパンクから出力される。パンクから出力された2nビットのデータは、データバス13を経由して、データ入出力領域12に送りかわ、かつ、データ入出力領域12から半導体メモリ(メモリチップ)外部に出力される。

【0169】データの入力(書き込み)の場合には、2nビット(例えば16ビット(2バイト))のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのパンクに入力される。当該選択された1つのパンクに入力された2nビットのデータは、ローカルDQ線対18a、グローバルDQ線対18b及びセンスアンプSAを経由して、メモリセルアレイのメモリセルに記憶される。

【0170】上述の半導体メモリのチップレイアウトには、以下の特徴がある。

【0171】第一に、セルアレイコントローラCACとロウデコーダRDは、メモリセルアレイCAL、CARを中心挟んで、ロウ方向の端部に互いに対向するように配置されている。また、カラムデコーダCDO、CD1とDQパッファDQは、メモリセルアレイCAL、CARを中心挟んで、カラム方向の端部に互いに対向するように配置されている。

【0172】即ち、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCDO、CD1及びDQパッファDQは、いずれもメモリセルアレイCAL、CARの一辺に接続して配置することができる。

【0173】従って、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCDO、CD1及びDQパッファDQを構成する素子の配置や配線などを容易に行なうことができる。

【0174】第二に、パンク内に、ロウ方向に延長するローカルDQ線対18aと、カラム方向に延長するグローバルDQ線対18bを設け、データがパンクのカラム方向の端部から入出力されるように構成している。

【0175】即ち、DQパッファDQを、パンクのカラム方向の端部に設けることができるようになるため、上記第一の特徴を実現させることができる。

【0176】また、本実施例のように、メモリセルアレイの1つの中プロックにおいて入出力をを行うビット数が4ビットの場合であっても、小プロックCAL、CARの間に配線されるローカルDQ線対18aは、カラムデコーダCDO側に2ビット分、カラムデコーダCD1側に2ビット分だけ設ければよい。

【0177】これは、カラムデコーダCDO、CD1が、メモリセルアレイに接続してロウ方向に配置され、また、データの入出力がパンクのカラム方向の端部において行われるためである。

【0178】従って、ローカルDQ線対18aに必要とされる領域を小さくすること、具体的には、DQ線対を

配置するために必要とされる領域を図1及び図2の参考例の半分にすることができる。

【0179】また、グローバルDQ線対18bは、1つの中プロックにおいて4ビットのデータの入出力をを行う場合、1つのパンクでは、16ビットのデータの転送を行なうことができる数だけ必要となる。しかし、グローバルDQ線対18bは、メモリセルアレイCAL、CAR上に配置されているため、グローバルDQ線対18bを配置するための領域を新たに設ける必要がない。

【0180】第三に、データバス13は、パンク11-0、11-1とパンク11-1、11-3の間ににおいてロウ方向に延長して配置されている。これは、パンク内のDQパッファDQが、カラム方向の2つの端部のうちの1つに配置されるためである。

【0181】その結果、パンク及びデータ入出力回路の配置を工夫することにより、データバス13を構成する配線の数を減らすことができ、メモリチップ10上に占めるデータバス13の領域を縮小することができる。

【0182】図12は、図10及び図11の半導体メモリを構成するスイッチ16、21の構成の一例を示している。

【0183】カラム選択スイッチ16は、NチャネルタイプMOSトランジスタN1、N2から構成されている。MOSトランジスタN1、N2のゲートは、カラム選択線15に接続され、ソース・ドレイン領域の一方は、センスアンプSAに接続され、ソース・ドレイン領域の他方は、ローカルDQ線対18aに接続されている。

【0184】スイッチ21は、NチャネルタイプMOSトランジスタN3、N4から構成されている。MOSトランジスタN3、N4のゲートは、コントロール線22に接続され、ソース・ドレイン領域の一方は、ローカルDQ線対18aに接続され、ソース・ドレイン領域の他方は、DQパッファDQに接続されている。

【0185】図13は、図10及び図11の半導体メモリのカラムデコーダの構成の一例を示している。

【0186】本例では、カラムデコーダCDOを例にして説明する。

【0187】カラムアドレス信号A0～A10は、カラムデコーダCDOに入力される。カラムアドレス信号A0～A7は、プリデコーダ(NAND回路)23-1、23-2、～23-Nのうちのいずれか1つのプリデコーダの出力信号のレベルを“L (low)”とし、残りの全てのプリデコーダの出力信号のレベルを“H (high)”とする。また、カラムアドレス信号A8～A10は、デコーダ24-1、24-2、～24-Mのうちのいずれか1つのデコーダの出力信号のレベルを“L (low)”とし、残りの全てのデコーダの出力信号のレベルを“H (high)”とする。

【0188】プリデコーダ23-1、23-2、～23

-Nの出力信号は、ブロック25-1, 25-2, ~25-Nに入力され、デコーダ24-1, 24-2, ~24-Mの出力信号は、全てのブロック25-1, 25-2, ~25-Nに入力される。

【0189】 NOR回路26-0, 26-1, ~26-7には、プリデコーダ23-1, 23-2, ~23-Nの出力信号及びデコーダ24-1, 24-2, ~24-Mの出力信号が入力される。

【0190】 例えば、プリデコーダ23-1の出力信号のレベルが“L”であり、デコーダ24-1の出力信号のレベルが“L”である場合、NOR回路26-0の出力信号のレベルのみが“H”となり、残りの全てのNOR回路の出力信号のレベルは、“L”となる。

【0191】 NOR回路26-0, 26-1, ~26-7の出力信号は、制御信号Lのレベルが“H”的期間において、トランスマッタ27-0, 27-1, ~27-7を経由して、ラッチ回路28-0, 28-1, ~28-7に入力される。

【0192】 ラッチ回路28-0, 28-1, ~28-7の出力信号は、制御信号Tのレベルが“H”的期間において、AND回路29-0, 29-1, ~29-7を経由して、カラム選択線15に与えられる。

【0193】 例えば、プリデコーダ23-1の出力信号のレベルが“L”であり、デコーダ24-1の出力信号のレベルが“L”である場合、カラム選択線15のうち1つのカラム選択線CS L0のレベルのみが“H”となり、残りの全てのカラム選択線のレベルは、“L”となる。“H”レベルのカラム選択線に接続されたカラム選択スイッチは、オン状態となる。

【0194】 BWは、ブロックライト信号である。このブロックライト信号BWのレベルは、通常モードのときは“L”であるが、ブロックライトモードのときは“H”となる。つまり、ブロックライトモードのときは、全てのデコーダ24-1, 24-2, ~24-Mの出力信号のレベルは、カラムアドレス信号A8~A10に依存することなく、“L”となる。

【0195】 従って、例えば、プリデコーダ23-1の出力信号のレベルが“L”である場合、ブロック25-1により制御される8本のカラム選択線CS L0~CS L7の全てのレベルが“H”となる。“H”レベルのカラム選択線に接続されたカラム選択スイッチは、オン状態となる。

【0196】 これにより、ブロック単位で、データの書き込みを行うことができる。

【0197】 図14は、図10及び図11の半導体メモリのバンク選択回路SELの構成の一例を示している。

【0198】 バンク選択回路SELは、DQバッファDQとデータバス13の間に接続されるトランスマッタT01, T02, T11, T12, T21, T22, T31, T32により構成される。トランスマッタ

T01, T02, T11, T12, T21, T22, T31, T32は、NチャネルタイプMOSトランジスタとPチャネルタイプMOSトランジスタから構成されている。

【0199】 バンク11-0において、バンク選択回路SELには、バンク選択信号BNK0, /BNK0が入力されている。即ち、トランスマッタT01, T02を構成するNチャネルタイプMOSトランジスタのゲートには、バンク選択信号BNK0が入力され、トランスマッタT01, T02を構成するPチャネルタイプMOSトランジスタのゲートには、バンク選択信号/BNK0が入力されている。

【0200】 同様に、バンク11-1において、バンク選択回路SELには、バンク選択信号BNK1, /BNK1が入力され、バンク11-2において、バンク選択回路SELには、バンク選択信号BNK2, /BNK2が入力され、バンク11-3において、バンク選択回路SELには、バンク選択信号BNK3, /BNK3が入力されている。

【0201】 バンク選択信号BNK0~BNK3は、いずれか1つのレベルが“H”となり、残りの全てのレベルは“L”となる。

【0202】 例えば、バンク11-0が選択された場合、バンク選択信号BNK0のレベルが“H”となり、バンク選択信号BNK1, BNK2, BNK3のレベルは“L”となる。この時、バンク11-0のDQバッファDQのみが、データバス13に接続され、バンク11-1, 11-2, 11-3のDQバッファDQは、データバス13と切断される。

【0203】 その結果、データの授受は、バンク11-0とデータ入出力回路12の間ににおいてのみ可能となる。

【0204】 図15は、図10及び図11の半導体メモリのデータ入出力回路12の構成の一例を示している。

【0205】 本例では、1ビットのデータの入出力をを行う1つのデータ入出力回路について説明する。即ち、例えば、16ビットタイプ( $\times 16$ )の半導体メモリでは、本例のデータ入出力回路が15個必要になる。

【0206】 このデータ入出力回路は、主として、データバスセンスアンプDBSAM、データバス書き込みバッファDBWB、出力ラッチ回路30、出力回路31及び出力バッファ32から構成されている。

【0207】 データバス書き込みバッファDBWBは、データの書き込みを行な際に使用される。

【0208】 制御信号NWは、クロックドインバータC11に入力され、制御信号WXは、クロックドインバータC12, C15に入力されている。通常動作モードのデータ書き込みでは、制御信号NWのレベルが“H”となり、クロックドインバータC11が活性化される。また、制御信号WXのレベルが“H”的期間において、入

データ（書き込みデータ） $RWDm$  ( $m$ は、0, 1…  
or 15) は、クロックドインバータC1 1, ラッチ回路LA及びクロックドインバータC1 2, C1 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0209】制御信号 $BW$ は、クロックドインバータC1 3に入力されている。ブロック書き込みモードのデータ書き込みでは、制御信号 $BW$ のレベルが“H”となり、クロックドインバータC1 3が活性化される。また、制御信号 $WX$ のレベルが“H”の期間において、カラーレジスタデータ $CRm$  ( $m$ は、0, 1…or 15) は、クロックドインバータC1 3, ラッチ回路LA及びクロックドインバータC1 2, C1 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0210】カラーレジスタデータ $CRm$ は、カラーレジスタから供給される。カラーレジスタには、ブロック書き込みモード時に複数のメモリセルに同時に書き込むデータのパターンが、予め記憶されている。カラーレジスタは、一般に、画像メモリに備えられており、予め決められたパターンのデータを複数のメモリセルに同時に書き込む際に用いられる。カラーレジスタの内容（データパターン）は、カラーレジスタのデータを変更するモードにおいて、変更される。

【0211】制御信号 $TW$ は、クロックドインバータC1 4に入力されている。テストモードのデータ書き込みでは、制御信号 $TW$ のレベルが“H”となり、クロックドインバータC1 4が活性化される。また、制御信号 $WX$ のレベルが“H”的期間において、エクスクルーシブOR回路EXの出力信号は、クロックドインバータC1 4、ラッチ回路LA及びクロックドインバータC1 2, C1 5を経由して、データバス13に送られる。このデータは、データバス13を経由して、選択されたバンクに入力される。

【0212】エクスクルーシブOR回路EXには、カラーレジスタデータ $/CRm$ 及びデータ $RWD0$ が入力されている。即ち、本例では、テストモード時に用いるデータパターンを、カラーレジスタから得るよう構成している。

【0213】本実施例の半導体メモリに使用されるテスト回路については、後述する。

【0214】データバスセンスアンプDBSAMPlは、データの読み出しを行う際に使用される。

【0215】データバスセンスアンプDBSAMPlは、NチャネルタイプのオペアンプS&AN及びPチャネルタイプのオペアンプS&APを有している。データバスセンスアンプDBSAMPlは、活性信号RENBLのレベルが“H”となったときに活性化され、活性信号RENBLのレベルが“L”となったときに非活性化される。

【0216】活性信号RENBLのレベルが“L”的とき、クロックドインバータC1 6は、非活性化され、データバスセンスアンプDBSAMPlは、読み出し書き込みデータ線 $RWD$ 線から切り離される。読み出し書き込みデータ線 $RWD$ 線は、出力データ（読み出しデータ）の経路となると共に、入力データ（書き込みデータ）の経路にもなる。

【0217】プリチャージトランジスタPRは、出力データ $RWDm$  ( $m$ は、0, 1…or 15) が読み出し書き込みデータ線 $RWD$ 線に出力される前に、この読み出し書き込みデータ線 $RWD$ 線のレベルを“H”にプリチャージしておくためのものである。

【0218】出力データ $RWDm$ がデータバスセンスアンプDBSAMPlから出力されると、この出力データ $RWDm$ は、出力ラッチ回路30を経由して、出力回路31に入力される。

【0219】出力ラッチ回路30は、リセット信号/RSによりリセットされる。同期信号QSTは、出力回路31に入力されている。即ち、出力データ $DQm$  ( $m$ は、0, 1…or 15) は、同期信号QSTに同期して出力回路31から出力され、出力バッファ32を経由して、メモリチップの外部に出力される。

【0220】NAND回路33及びエクスクルーシブOR回路34は、テストモード時に使用するテスト回路の一部である。

【0221】NAND回路33には、出力ラッチ回路30の出力データ及びテスト信号ReDTが入力される。テストモード時には、テスト信号ReDTのレベルが“H”となる。エクスクルーシブOR回路34には、NAND回路33の出力信号及びカラーレジスタデータ $/CRm$ が入力されている。エクスクルーシブOR回路34は、テスト結果がOKかNGかを示す出力信号TRDm ( $m$ は、0, 1…or 15) を出力する。

【0222】図16は、本発明の半導体メモリに使用されるテスト回路の全体構成を示している。図16において、図15のデータ入出力回路の構成要素に対応する構成要素には、図15に付した符号と同じ符号を付してある。

【0223】このテスト回路は、32ビットタイプ(×32)の半導体メモリのテストを前提としている。

【0224】本実施例のテスト回路は、NAND回路33、エクスクルーシブOR回路34、テスト用切り替え回路100及びテスト用出力回路200から構成されている。

【0225】テストモード時においては、テスト信号ReDTのレベルが“H”となる。エクスクルーシブOR回路34の出力信号TRDm ( $m$ は、0, 1…or 31) は、テスト用切り替え回路100に入力される。

【0226】テスト用切り替え回路100には、テスト結果を示す32ビットのデータが入力される。テスト用

切り替え回路100は、この32ビットのデータを順次（シリアルに）テスト用出力回路200に出力する。

【0227】テスト用出力回路200は、制御信号TQSSTのレベルが“H”となると、活性化される。この時、制御信号QSTのレベルは、“L”であり、通常モード時に使用される出力回路31は、非活性化される。

【0228】図17は、本発明の半導体メモリに使用されるテスト回路の詳細を示している。図17において、図15のデータ入出力回路の構成要素に対応する構成要素には、図15に付した符号と同じ符号を付してある。

【0229】このテスト回路は、32ビットタップ（×32）の半導体メモリのテストを前提としている。

【0230】カラー・レジスタ35には、予め、所定のパターンを有するデータ（0, 1, 0; … 1）が記憶されている。但し、カラー・レジスタ35の内容（パターン）は、パターンを変更するモードにおいて、制御信号Zの入力により変更することができる。

【0231】エクスクルーシブOR回路EX1には、カラー・レジスタ35のデータ／CR0, /CR1, ~CR31及び入力データRWDOが入力されている。入力データRWDOのレベルは、“L”でもよく、また、“H”でもよい。

【0232】例えば、入力データRWDOのレベルが“L”的とき、セルアレイ0には、“H”的データが入力され、セルアレイ1には、“L”的データが入力され、セルアレイ2には、“H”的データが入力され、セルアレイ31には、“L”的データが入力される。

【0233】また、全てのセルアレイ0～31に正常である場合、当然、セルアレイ0からは、“H”的データが出力され、セルアレイ1からは、“L”的データが出力され、セルアレイ2からは、“H”的データが出力され、セルアレイ31からは、“L”的データが出力される。

【0234】この場合、エクスクルーシブOR回路34の出力信号TRDmは、全て、“L”となる。

【0235】エクスクルーシブOR回路34の出力信号TRDmは、テストモード切り替え回路100及びテストモード出力回路200を経由して、判定信号D90としてメモリチップの外部へ出力される。

【0236】テストモード切り替え回路100では、テスト結果がOK（セルアレイが正常）であるか又はNG（セルアレイが異常）であるかの判定を行う。セルアレイが正常の場合には、エクスクルーシブOR回路34の出力信号TRDmのレベルが全て“L”であるため、“L”レベルの出力信号が、テストモード切り替え回路100から出力され、テスト結果がOKであると判定される。

【0237】一方、セルアレイが異常である場合には、異常のセルアレイの出力データを受けるエクスクルーシブOR回路34の出力信号TRDmのレベルは、“H”

となる。この時、テストモード切り替え回路100の出力信号のレベルは、“H”となり、テスト結果がNGであると判定される。

【0238】テスト結果がNGの場合には、セルアレイ0～32のうちいずれのセルアレイが異常であるのか調査する。この調査は、ラッチ回路LATCH0～31にエクスクルーシブOR回路34の出力信号をラッチさせ、このラッチされたデータを順次、シリアルに読み出すことにより行うことができる。

【0239】このようなテスト回路によれば、カラー・レジスタ35のデータを半導体メモリのテストに利用すると共に、テスト結果がNGである場合に、いずれのセルアレイのメモリセルが不良であるかを示す信号をシリアルに出力するように構成している。

【0240】従って、本実施例のテスト回路では、テスト回路自体の構成が簡単になると共に、テストのみに使用するテスト用パッド（端子）は、一つあれば足り、メモリチップの縮小やコストの低減に貢献することができる。

【0241】図18は、図17のテストモード切り替え回路100の構成の一例を示している。

【0242】エクスクルーシブNOR部36は、セルアレイ0～31に不良が存在しているか否かを検査する部分である。

【0243】エクスクルーシブNOR部36は、エクスクルーシブOR回路EX-ORD, EX-OR1, ~EX-OR30と、クロックドインバータC17とから構成されている。

【0244】出力信号TRD0～TRD31は、エクスクルーシブOR回路EX-ORD, EX-OR1, ~EX-OR30に入力される。出力信号TRD0～TRD31のレベルが全て“L”的場合、エクスクルーシブOR回路EX-OR30の出力信号のレベルは、“L”となる。

【0245】制御信号/SRCHのレベルが“H”となると、クロックドインバータC17が活性化される。この時、テスト結果を示す出力信号ReDRDは、クロックドインバータC17から出力される。

【0246】出力信号TRD0～TRD31のレベルが全て“L”的場合、出力信号ReDRDのレベルは、“H”となる。即ち、テスト結果がOKであることを示す信号が、テスト用出力回路から出力される。

【0247】出力信号TRD0～TRD31の少なくとも1つのレベルが“H”的場合、出力信号ReDRDのレベルは、“L”となる。即ち、テスト結果がNGであることを示す信号が、テスト用出力回路から出力される。

【0248】スイッチ回路部37は、テスト結果がNGのときに、どのセルアレイに不良が存在しているのか、不良のセルアレイを特定するためのものである。

【0249】スイッチ回路部37は、トランスマゲートTG0, TG1, ~TG31及びクロックドインバータC18から構成されている。トランスマゲートTG0, TG1, ~TG31の各々は、NチャネルタイプMOSトランジスタとPチャネルタイプMOSトランジスタから構成されている。トランスマゲートTG0, TG1, ~TG31のオン・オフ動作は、シリアルセレクタ38により制御されている。

【0250】シリアルセレクタ38は、制御信号SRCHのレベルが“H”的ときに活性化され、クロック信号CLKに同期して、制御信号Q0, Q1, ~Q31を出力する。制御信号Q0, Q1, ~Q31のうちの1つは、“H”レベルであり、残りの全では“L”レベルである。“H”レベルの制御信号は、Q0からQ31に向かって順次（シリアルに）切り替わっていく。即ち、データTRD0, TRD1, ~TRD91が、順次（シリアルに）、クロックドインバータC18を経由して出力される。

【0251】クロックドインバータC18は、制御信号SRCRHのレベルが“H”的ときに活性化される。

【0252】図19及び図20は、テスト時における本発明の半導体メモリの動作を示している。

【0253】リデュースト・テストモードでは、半導体メモリのセルアレイに不良が存在するか否かの検査を行う。シリアルサーチ・テストモードでは、複数のセルアレイのうちから不良の存在するセルアレイを特定する検査を行う。

【0254】/REは、ロウアドレス信号を半導体メモリ内に取り込むタイミングを決定する。即ち、/REのレベルが“L”的ときに、ロウアドレス信号が半導体メモリ内に取り込まれる。

【0255】/CEは、カラムアドレス信号を半導体メモリ内に取り込むタイミングを決定する。即ち、/CEのレベルが“L”的ときに、カラムアドレス信号が半導体メモリ内に取り込まれる。

【0256】リデュースト・テストモードは、例えば、/CEのレベルが“L”的ときにテスト信号TESTのレベルを“L”に設定することにより実行することができる。

【0257】シリアルサーチ・テストモードは、例えば、/CEのレベルが“L”的ときにテスト信号TESTのレベルを“H”に設定することにより実行することができる。

【0258】図21は、本発明の第2実施例である半導体メモリのチップレイアウトを示している。

【0259】この実施例では、32ビットのデータを同時に出入力することができる32ビットタイプ( $\times 32$ )の半導体メモリについて説明する。

【0260】1つのメモリチップ10上には、4つのパンク11-0~11-3が配置されている。各パンク1

1-0~11-3には、メモリセルアレイCAL, CAR, セルアレイコントローラCACが形成され、かつ、ロウデコーダRD, カラムデコーダCD0~CD3, DQパッファ（パンクの入出力部のパッファのこと）をいう）DQなどの周辺回路が形成されている。

【0261】1つのパンク内のメモリセルアレイは、4つの中ブロックBLe, BLb, BLc, BLdに分けられている。また、各中ブロックは、2つの小ブロックCAL, CARに分けられている。従って、1つのパンク内のメモリセルアレイは、8個のブロックから構成されている。

【0262】ロウデコーダRDは、4つの中ブロックBLe, BLb, BLc, BLdの各々に、1つずつ設けられている。ロウデコーダRDは、ロウアドレス信号に基づいて、2つの小ブロックCAL, CARのうちのいずれか1つを選択し、かつ、選択された1つのブロック中の複数のゴウから1つのロウ（ワード線）を選択する。

【0263】カラムデコーダCD0~CD3は、1つのパンク内に4つ設けられている。カラムデコーダCD0~CD3は、それぞれカラムアドレス信号に基づいて、4つの中ブロックBLe, BLb, BLc, BLdのメモリセルアレイの1つ又は複数のカラムを選択する。

【0264】例えば、カラムデコーダCD0によりカラム選択線が選択されると、そのカラム選択線に接続された2つのカラム選択スイッチがオン状態となる。そして、その2つのカラム選択スイッチに接続された2つのデータ特対から、2ビットのデータがローカルDQ線対18aに出力される。

【0265】本実施例では、1つのカラムデコーダが2つのカラムを選択するように構成されている。この場合、4つのカラムデコーダが存在するため、中ブロックBLe, BLb, BLc, BLdの各々からは、8ビットのデータが出入力される。つまり、1つのパンクからは、32ビット（4バイト）のデータが入出力される。

【0266】センスアンプ及びカラム選択スイッチは、メモリセルアレイのそれぞれの中ブロックBLe, BLb, BLc, BLdにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0267】ロウデコーダRDとセルアレイコントローラCACは、メモリセルアレイCAL, CARを中央に挟んで、互いに対向するように配置されている。即ち、ロウデコーダRDは、4つの中ブロックBLe, BLb, BLc, BLdが配置される方向に垂直な方向、即ちロウ方向（ワード線が延長する方向）の2つの端部のうちの一方側に配置され、セルアレイコントローラCACは、当該2つの端部のうちの他方側に配置されている。

【0268】セルアレイコントローラCACは、パンク内のデータの入出力動作の制御を行うものである。

【0269】カラムデコーダCD0～CD3は、4つの中ブロックB'Le, B'Lb, B'Lc, B'Ldが配置される方向、即ち、カラム方向（データ線対又はカラム選択線が延長する方向）の2つの端部のうちの一方側に配置されている。

【0270】4つのカラムデコーダCD0～CD3は、各カラムデコーダCD0～CD3が担当するメモリセルアレイのカラムを4分するように、ロウ方向に配置されている。

【0271】DQバッファDQは、カラム方向の2つの端部のうちの他方側に配置されている。即ち、カラムデコーダCD0～CD3とDQバッファDQは、メモリセルアレイCAL, CARを中心にはんで、互いに対向するように配置されている。

【0272】データは、データ線対、センスアンプ及びカラム選択スイッチを経由した後、ローカルDQ線対18aに接続される。ローカルDQ線対18aは、メモリセルアレイのそれぞれの中ブロックB'Le, B'Lb, B'Lc, B'Ldにおいて、メモリセルアレイの小ブロックCAL, CARの間に配置されている。

【0273】従って、ローカルDQ線対18aは、ロウ方向（ワード線が延長する方向）に延長している。

【0274】また、グローバルDQ線対18bは、メモリセルアレイの小ブロックCAL, CAR上において、カラム方向に延長して配置されている。グローバルDQ線対18bの一端は、スイッチを経由してローカルDQ線対18aに接続され、他端は、DQバッファDQに接続されている。

【0275】4つのパンクに共有されるデータバス13は、パンク11-0, 11-2とパンク11-1, 11-3の間に配置され、ロウ方向に延長している。データバス13は、パンク11-0～11-3とデータ入出力領域12の間におけるデータの入出力の経路となるものである。

【0276】本実施例では、32ビットタイプの半導体メモリを前提としているため、データバス13は、32ビット（4バイト）のデータの入出力を同時に行えるよう構成されている。

【0277】データ入出力領域12は、メモリチップ10のロウ方向の2つの端部のうちの一方側に配置されている。データ入出力領域12には、32ビット（4バイト）のデータの入出力を同時に行えるように、32個の入出力回路（1／0）が形成されている。

【0278】上述の半導体メモリのデータ入出力動作は、以下のようにして行われる。

【0279】まず、パンクセレクタにより、4つのパンク11-0～11-3のうちから1つのパンクが選択される。選択された1つのパンクでは、アドレス信号に基づいてメモリセルのアクセス動作が行われる。

【0280】データの出力（読み出し）の場合には、3

2ビット（4バイト）のデータが、ローカルDQ線対18a及びグローバルDQ線対18bを経由して、当該選択された1つのパンクから出力される。パンクから出力された32ビットのデータは、データバス13を経由して、データ入出力領域12に接続され、かつ、データ入出力領域12から半導体メモリ（メモリチップ）外部に出力される。

【0281】データの入力（書き込み）の場合には、32ビット（4バイト）のデータが、データ入出力領域12、データバス13を経由して、当該選択された1つのパンクに入力される。当該選択された1つのパンクに入力された32ビットのデータは、ローカルDQ線対18a、グローバルDQ線対18b及びセンスアンプを経由して、メモリセルアレイのメモリセルに記憶される。

【0282】上述の半導体メモリのチップレイアウトには、以下の特徴がある。

【0283】第一に、セルアレイコントローラCACとロウデコーダRDは、メモリセルアレイCAL, CARを中心にはんで、ロウ方向の端部に互いに対向するように配置されている。また、カラムデコーダCD0～CD3とDQバッファDQは、メモリセルアレイCAL, CARを中心にはんで、カラム方向の端部に互いに対向するように配置されている。

【0284】即ち、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCD0～CD3及びDQバッファDQは、いずれもメモリセルアレイCAL, CARの一辺に接続して配置することができる。

【0285】従って、セルアレイコントローラCAC、ロウデコーダRD、カラムデコーダCD0～CD3及びDQバッファDQを構成する素子の配置や配線などを容易に行なうことができる。

【0286】第二に、パンク内に、ロウ方向に延長するローカルDQ線対18aと、カラム方向に延長するグローバルDQ線対18bを設け、データがパンクのカラム方向の端部から出入力されるように構成している。

【0287】即ち、DQバッファDQを、パンクのカラム方向の端部に設けることができるようになるため、上記第一の特徴を実現させることができる。

【0288】また、本実施例のように、メモリセルアレイの1つの中ブロックにおいて入出力をを行うビット数が8ビットの場合であっても、小ブロックCAL, CARの間に配置されるローカルDQ線対18aは、カラムデコーダCD0側に2ビット分、同様に、カラムデコーダCD1～CD3側にもそれぞれ2ビット分だけ設ければよい。

【0289】これは、カラムデコーダCD0～CD3が、メモリセルアレイに接続してロウ方向に配置され、また、データの入出力がパンクのカラム方向の端部において行われるためである。

【0290】従って、ローカルDQ線対18aに必要と

される領域を小さくすることができる。

【0291】また、グローバルDQ線対18bは、1つの中ブロックにおいて8ビットのデータの入出力を行う場合、1つのバンクでは、32ビットのデータの転送を行うことができる数だけ必要となる。しかし、グローバルDQ線対18bは、メモリセルアレイCAL, CAR上に配置されているため、グローバルDQ線対18bを配置するための領域を新たに設ける必要がない。

【0292】第三に、データバス13は、バンク11-0, 11-2とバンク11-1, 11-3の間ににおいてロウ方向に延長して配置されている。これは、バンク内のDQバッファDGが、カラム方向の2つの端部のうちの1つに配置されるためである。

【0293】その結果、バンク及びデータ入出力回路の配置を工夫することにより、データバス13を構成する配線の数を減らすことができ、メモリチップ10上に占めるデータバス13の領域を縮小することができる。

【0294】図22は、図10の第1実施例の半導体メモリのバンクの位置とデータバスの位置を概括的に示している。

【0295】メモリチップ10上の領域は、主に、バンク11-0～11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の4つの辺のうちの1つの辺、即ち、ロウ方向の2つの辺のうちの1つの辺に隣接して配置されている。

【0296】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。

【0297】各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0298】ローカルDQ線対18bは、2つの小ブロックの間ににおいて、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18bとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0299】データバス13は、バンク11-0, 11-2とバンク11-1, 11-3の間に配置され、ロウ方向に延長している。データバス13は、16ビット(2バイト)のデータを転送できるように構成されている。

【0300】図23は、図10及び図22の半導体メモリの第1変形例を示すものである。

【0301】この変形例の特徴は、データ入出力回路(1/0)12をメモリチップ10の中央部に配置した点、及びデータ入出力回路12の両サイドに、バンク11-0～11-3とデータバス13a, 13bをそれぞれ設けた点にある。

れ設けた点にある。

【0302】即ち、メモリチップ10上の領域は、主に、バンク11-0～11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の中央部に配置され、カラム方向に長くなっている。

【0303】バンク11-0, 11-1は、データ入出力領域12の一方側に配置され、バンク11-2, 11-3は、データ入出力領域12の他方側に配置されている。

【0304】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0305】ローカルDQ線対18bは、2つの小ブロックの間ににおいて、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18bとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0306】データバス13aは、バンク11-0とバンク11-1の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。同様に、データバス13bは、バンク11-2とバンク11-3の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。データバス13a, 13bは、それぞれ16ビット(2バイト)のデータを転送できるように構成されている。

【0307】図24は、図23の半導体メモリのチップレイアウトを詳細に示している。

【0308】各々のバンク内のレイアウトは、図10の半導体メモリの各々のバンク内のレイアウトと同じである。

【0309】図25は、図21の半導体メモリの第1変形例を示すものである。

【0310】この変形例の特徴は、データ入出力回路(1/0)12をメモリチップ10の中央部に配置した点、及びデータ入出力回路12の両サイドに、バンク11-0～11-3とデータバス13a, 13bをそれぞれ設けた点にある。

【0311】即ち、メモリチップ10上の領域は、主に、バンク11-0～11-3及びデータ入出力領域(1/0)12により占められている。データ入出力領域12は、メモリチップ10の中央部に配置され、カラム方向に長くなっている。

【0312】バンク11-0, 11-1は、データ入出力領域12の一方側に配置され、バンク11-2, 11-3は、データ入出力領域12の他方側に配置されている。

る。

【0313】バンク内のメモリセルアレイは、カラム方向に配置される複数の小ブロックから構成され、かつ、2つの小ブロックにより1つの中ブロックが構成されている。各々の小ブロック内には、ロウ方向に延長するワード線と、カラム方向に延長するデータ線及びカラム選択線がそれぞれ配置されている。

【0314】ローカルDQ線対18aは、2つの小ブロックの間において、ロウ方向に延長している。また、グローバルDQ線対18bは、メモリセルアレイ上において、カラム方向に延長している。ローカルDQ線対18aとグローバルDQ線対18bは、スイッチにより互いに接続されている。

【0315】データバス13aは、バンク11-0とバンク11-1の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。同様に、データバス13bは、バンク11-2とバンク11-3の間に配置され、ロウ方向に延長し、データ入出力回路12に接続されている。データバス13a、13bは、それぞれ32ビット(4バイト)のデータを転送できるように構成されている。

【0316】各々のバンク内のレイアウトは、図22の半導体メモリの各々のバンク内のレイアウトと同じである。

【0317】図26は、図10及び図22の第1実施例の半導体メモリのチップレイアウトの第2変形例を示している。図27は、図25の半導体メモリのチップレイアウトを詳細に示すものである。

【0318】このチップレイアウトは、図10及び図22のチップレイアウトに比べて、以下の点で相違している。

【0319】第一に、1つのバンク(メインバンク)を、2つのサブバンクから構成している。

【0320】即ち、メインバンク11-0は、サブバンク11-0-#0、11-0-#1から構成され、メインバンク11-1は、サブバンク11-1-#0、11-1-#1から構成され、メインバンク11-2は、サブバンク11-2-#0、11-2-#1から構成され、メインバンク11-3は、サブバンク11-3-#0、11-3-#1から構成されている。

【0321】サブバンク11-0-#0、11-0-#1は、バンク選択回路により、同時に選択される。サブバンク11-0-#0、11-0-#1が選択された場合には、残りのサブバンクは、選択されない。同様に、例えば、サブバンク11-1-#0、11-1-#1が選択された場合には、残りのサブバンクは、選択されない。

【0322】また、4つのサブバンク11-0-#0、11-0-#1、11-1-#0、11-1-#1により1つのグループが構成され、このグループのバンク

は、データバス13aに接続されている。同様に、4つのサブバンク11-2-#0、11-2-#1、11-3-#0、11-3-#1により1つのグループが構成され、このグループのバンクは、データバス13bに接続されている。

【0323】第二に、1つのサブバンクにおいて8ビット(1バイト)のデータの入出力をを行うように構成している。

【0324】サブバンクのレイアウトは、図10のバンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブバンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存続すれば足りるからである。但し、カラムデコーダCDは、図10の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックB1e、B1b、B1c、B1dの各々において、2ビットのデータの入出力を実行するものとする。

【0325】サブバンク内における、メモリセルアレイCAL、CAR、ローカルコードRD、ローカルDQ線対18a、グローバルDQ線対18b及びDQパッファDQのレイアウトは、図10の半導体メモリのバンク内のレイアウトとほぼ同じである。

【0326】第三に、データ入出力回路(I/O)12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13aは、データ入出力回路12の一方側においてサブバンク11-0-#0、11-0-#1、11-1-#0、11-1-#1に共通に設けられ、データバス13bは、データ入出力回路12の他方側においてサブバンク11-2-#0、11-2-#1、11-3-#0、11-3-#1に共通に設けられている。

【0327】データバス13a、13bは、それぞれサブバンクの間においてロウ方向に延長しており、メモリチップ10の中央部のデータ入出力回路12に接続されている。データバス13a、13bは、それぞれ16ビットのデータが転送できるように構成されている。

【0328】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク11-0-#0、11-0-#1が選択された場合には、サブバンク11-0-#0とデータ入出力回路12との間においては、データバス13aを経由して8ビットのデータの受取が行われ、同様に、サブバンク11-0-#1とデータ入出力回路12との間においては、データバス13aを経由して8ビットのデータの受取が行われる。

【0329】図26は、図21の第2実施例の半導体メモリのチップレイアウトの第2変形例を示している。

【0330】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0331】第一に、1つのバンク(メインバンク)

を、2つのサブパンクから構成している。

【0332】即ち、メインパンク11-0は、サブパンク11-0-#0, 11-0-#1から構成され、メインパンク11-1は、サブパンク11-1-#0, 11-1-#1から構成され、サブパンク11-2-#0, 11-2-#1から構成され、メインパンク11-3-#0, 11-3-#1から構成されている。

【0333】サブパンク11-0-#0, 11-0-#1は、パンク選択回路により、同時に選択される。サブパンク11-0-#0, 11-0-#1が選択された場合には、残りのサブパンクは、選択されない。同様に、例えば、サブパンク11-1-#0, 11-1-#1が選択された場合には、残りのサブパンクは、選択されない。

【0334】また、4つのサブパンク11-0-#0, 11-0-#1, 11-1-#0, 11-1-#1により1つのグループが構成され、このグループのパンクは、データバス13aに接続されている。同様に、4つのサブパンク11-2-#0, 11-2-#1, 11-3-#0, 11-3-#1により1つのグループが構成され、このグループのパンクは、データバス13bに接続されている。

【0335】第二に、1つのサブパンクにおいて16ビット(2バイト)のデータの入出力をを行うように構成している。

【0336】サブパンクのレイアウトは、図21のパンクのレイアウトと比較すると、カラムデコードのDが2つである点で相違している。つまり、サブパンクのレイアウトは、図10のパンクのレイアウトと同じである。

【0337】なぜなら、本例の場合、1つのサブパンクでは、16ビットのデータの入出力が行われるため、カラムデコードのDは、2つ存在すれば足りるからである。但し、カラムデコードのDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa, BLb, BLc, BLdの各々において、4ビットのデータの入出力を実行するものとする。

【0338】サブパンク内における、メモリセルアレイCAL, CAR, ロウデコードRD, ローカルRQ線対18a, グローバルRG線対18b及びDQパッファRQのレイアウトは、図11の半導体メモリのパンク内のレイアウトと同じである。

【0339】第三に、データ入出力回路(1/0)12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13aは、データ入出力回路12の一方側においてサブパンク11-0-#0, 11-0-#1, 11-1-#0, 11-1-#1に共通に設けられ、データバス13bは、データ入出力回路12の他方側においてサブパンク11-2-#0,

11-2-#1, 11-3-#0, 11-3-#1に共通に設けられている。

【0340】データバス13a, 13bは、それぞれサブパンクの間においてロウ方向に延長しており、メモリチップ10の中央部のデータ入出力回路12に接続されている。データバス13a, 13bは、それぞれ32ビットのデータが転送できるように構成されている。

【0341】このようなチップレイアウトの半導体メモリでは、例えば、サブパンク11-0-#0, 11-0-#1が選択された場合には、サブパンク11-0-#0とデータ入出力回路12との間ににおいては、データバス13aを経由して16ビットのデータの授受が行われ、同様に、サブパンク11-1-#0, 11-1-#1が選択された場合には、データバス13bを経由して16ビットのデータの授受が行われる。

【0342】図29は、図10及び図22の第1実施例の半導体メモリのチップレイアウトの第3変形例を示している。図30は、図29の半導体メモリのチップレイアウトを詳細に示すものである。

【0343】このチップレイアウトは、図10及び図22のチップレイアウトに比べて、以下の点で相違している。

【0344】第一に、1つのパンク(メインパンク)を、2つのサブパンクから構成している。

【0345】即ち、メインパンク11-0は、サブパンク11-0-#0, 11-0-#1から構成され、メインパンク11-1は、サブパンク11-1-#0, 11-1-#1から構成され、サブパンク11-2-#0, 11-2-#1から構成され、メインパンク11-3-#0, 11-3-#1から構成されている。

【0346】サブパンク11-0-#0, 11-0-#1は、パンク選択回路により、同時に選択される。サブパンク11-0-#0, 11-0-#1が選択された場合には、残りのサブパンクは、選択されない。同様に、例えば、サブパンク11-1-#0, 11-1-#1が選択された場合には、残りのサブパンクは、選択されない。

【0347】また、4つのサブパンク11-0-#0, 11-0-#1, 11-1-#0, 11-1-#1により1つのグループが構成され、このグループのパンクは、データバス13a, 13bを経由して、データ入出力回路12aに接続されている。同様に、4つのサブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1により1つのグループが構成され、このグループのパンクは、データバス13a, 13dを経由して、データ入出力回路12bに接続されている。

【0348】第二に、1つのサブパンクにおいて8ビット(1バイト)のデータの入出力をを行うように構成している。

【0349】サブパンクのレイアウトは、図10のパンクのレイアウトと比較すると、カラムデコーダCDが1つのみである点で相違している。なぜなら、本例の場合、1つのサブパンクでは、8ビットのデータの入出力が行われるため、カラムデコーダCDは、1つ存在すれば足りるからである。但し、カラムデコーダCDは、図10の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>の各々において、2ビットのデータの入出力を実行するものとする。

【0350】サブパンク内における、メモリセルアレイCAL, CAR, ロウデコーダRD, ロカルDQ線対18a, グローバルDQ線対18b及びDQパッファDQのレイアウトは、図10の半導体メモリのパンク内のレイアウトとほぼ同じである。

【0351】第三に、データ入出力回路(1/O)12a, 12bは、メモリチップ10上においてカラム方向に長くなるように配置され、データバス13a, 13bは、データ入出力回路12bの両側に設けられ、データバス13c, 13dは、データ入出力回路12bの両側に設けられている。

【0352】データバス13aは、サブパンク11-0-#0, 11-1-#0と共に共通に設けられ、データバス13bは、サブパンク11-2-#0, 11-3-#0と共に共通に設けられ、データバス13cは、サブパンク11-0-#1, 11-1-#1と共に共通に設けられ、データバス13dは、サブパンク11-2-#1, 11-3-#1と共に共通に設けられている。

【0353】データバス13a, 13bは、それぞれサブパンクの間においてロウ方向に延長し、データ入出力回路12aに接続され、同様に、データバス13c, 13dは、それぞれサブパンクの間においてロウ方向に延長し、データ入出力回路12bに接続されている。データバス13a～13dは、それぞれ8ビットのデータが転送できるように構成されている。

【0354】このようなチップレイアウトの半導体メモリでは、例えば、サブパンク11-0-#0, 11-0-#1が選択された場合には、サブパンク11-0-#0とデータ入出力回路12aとの間ににおいては、データバス13aを経由して8ビットのデータの授受が行われ、サブパンク11-0-#1とデータ入出力回路12bとの間ににおいては、データバス13cを経由して8ビットのデータの授受が行われる。

【0355】つまり、16ビットタイプの半導体メモリにおいて、データバス13a～13dは、8ビットのデータを転送できる数の配線により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0356】図31は、図21の第2実施例の半導体メモリのチップレイアウトの第3変形例を示している。

【0357】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0358】第一に、1つのパンク(メインパンク)を、2つのサブパンクから構成している。

【0359】即ち、メインパンク11-0は、サブパンク11-0-#0, 11-0-#1から構成され、メインパンク11-1は、サブパンク11-1-#0, 11-1-#1から構成され、メインパンク11-2は、サブパンク11-2-#0, 11-2-#1から構成され、メインパンク11-3は、サブパンク11-3-#0, 11-3-#1から構成されている。

【0360】サブパンク11-0-#0, 11-0-#1は、パンク選択回路により、同時に選択される。サブパンク11-0-#0, 11-0-#1が選択された場合には、残りのサブパンクは、選択されない。同様に、例えば、サブパンク11-1-#0, 11-1-#1が選択された場合には、残りのサブパンクは、選択されない。

【0361】また、4つのサブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0により1つのグループが構成され、このグループのパンクは、データバス13a, 13bを経由して、データ入出力回路12aに接続されている。同様に、4つのサブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1により1つのグループが構成され、このグループのパンクは、データバス13c, 13dを経由して、データ入出力回路12bに接続されている。

【0362】第二に、1つのサブパンクにおいて16ビット(2バイト)のデータの入出力をを行うように構成している。

【0363】サブパンクのレイアウトは、図21のパンクのレイアウトと比較すると、カラムデコーダCDが2つである点で相違している。つまり、サブパンクのレイアウトは、図10のパンクのレイアウトと同じである。

【0364】なぜなら、本例の場合、1つのサブパンクでは、16ビットのデータの入出力が行われるため、カラムデコーダCDは、2つ存在すれば足りるからである。但し、カラムデコーダCDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBL<sub>a</sub>, BL<sub>b</sub>, BL<sub>c</sub>, BL<sub>d</sub>の各々において、4ビットのデータの入出力を実行するものとする。

【0365】サブパンク内における、メモリセルアレイCAL, CAR, ロウデコーダRD, ロカルDQ線対18a, グローバルDQ線対18b及びDQパッファDQのレイアウトは、図10の半導体メモリのパンク内のレイアウトと同じである。

【0366】第三に、データ入出力回路(1/O)12a, 12bは、メモリチップ10上においてカラム方向に長くなるように配置され、データバス13a, 13b

は、データ入出力回路 12a の両側に設けられ、データバス 13a, 13b は、データ入出力回路 12b の両側に設けられている。

【0367】データバス 13a は、サブバンク 11-0-#0, 11-1-#0 と共に通に設けられ、データバス 13b は、サブバンク 11-2-#0, 11-3-#0 と共に通に設けられ、データバス 13c は、サブバンク 11-0-#1, 11-1-#1 と共に通に設けられ、データバス 13d は、サブバンク 11-2-#1, 11-3-#1 と共に通に設けられている。

【0368】データバス 13a, 13b は、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路 12a に接続され、同様に、データバス 13c, 13d は、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路 12b に接続されている。データバス 13a～13d は、それぞれ 16 ビットのデータが転送できるように構成されている。

【0369】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク 11-0-#0, 11-0-#1 が選択された場合には、サブバンク 11-0-#0 とデータ入出力回路 12a との間ににおいては、データバス 13a を経由して 16 ビットのデータの授受が行われ、サブバンク 11-0-#1 とデータ入出力回路 12b との間ににおいては、データバス 13c を経由して 16 ビットのデータの授受が行われる。

【0370】つまり、32 ビットタイプの半導体メモリにおいて、データバス 13a～13d は、16 ビットのデータを転送できる数の配列により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0371】図 32 は、図 10 及び図 22 の第 1 実施例の半導体メモリのチップレイアウトの第 4 実形例を示している。図 33 は、図 32 の半導体メモリのチップレイアウトを詳細に示すものである。

【0372】このチップレイアウトは、図 10 及び図 22 のチップレイアウトに比べて、以下の点で相違している。

【0373】第一に、1 つのバンク（メインバンク）を、2 つのサブバンクから構成している。

【0374】即ち、メインバンク 11-0 は、サブバンク 11-0-#0, 11-0-#1 から構成され、メインバンク 11-1 は、サブバンク 11-1-#0, 11-1-#1 から構成され、メインバンク 11-2 は、サブバンク 11-2-#0, 11-2-#1 から構成され、メインバンク 11-3 は、サブバンク 11-3-#0, 11-3-#1 から構成されている。

【0375】サブバンク 11-0-#0, 11-0-#1 は、バンク選択回路により、同時に選択される。サブバンク 11-0-#0, 11-0-#1 が選択された場合には、残りのサブバンクは、選択されない。同様に、

例えば、サブバンク 11-1-#0, 11-1-#1 が選択された場合には、残りのサブバンクは、選択されない。

【0376】また、4 つのサブバンク 11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0 により 1 つのグループが構成され、このグループのバンクは、データバス 13a を経由して、データ入出力回路 12 に接続されている。同様に、4 つのサブバンク 11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1 により 1 つのグループが構成され、このグループのバンクは、データバス 13b を経由して、データ入出力回路 12 に接続されている。

【0377】第二に、1 つのサブバンクにおいて 8 ビット（1 バイト）のデータの入出力をを行うように構成している。

【0378】サブバンクのレイアウトは、図 10 のバンクのレイアウトと比較すると、カラムデコーダ C.D が 1 つのみである点で相違している。なぜなら、本例の場合、1 つのサブバンクでは、8 ビットのデータの入出力が行われるため、カラムデコーダ C.D は、1 つ存在すれば足りるからである。但し、カラムデコーダ C.D は、図 10 の半導体メモリと同様に、2 つのカラムを選択し、メモリセルアレイの中フロック B.La, B.Lb, B.Lc, B.Ld の各々において、2 ビットのデータの入出力を実行するものとする。

【0379】サブバンク内における、メモリセルアレイ C.A.L, C.A.R, ロウデコーダ R.D, ローカル D.Q 総対 13a, グローバル D.Q 総対 13b 及び D.Q パッファ D.Q のレイアウトは、図 10 の半導体メモリのバンク内のレイアウトとほぼ同じである。

【0380】第三に、データ入出力回路（I/O）12 は、メモリチップ 10 の中央部においてカラム方向に長くなるように配置され、データバス 13a, 13b は、データ入出力回路 12 の両側に設けられている。

【0381】データバス 13a は、サブバンク 11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0 と共に通に設けられ、データバス 13b は、サブバンク 11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1 と共に通に設けられている。

【0382】データバス 13a, 13b は、それぞれサブバンクの間においてロウ方向に延長し、データ入出力回路 12 に接続されている。データバス 13a, 13b は、それぞれ 8 ビットのデータが転送できるように構成されている。

【0383】このようなチップレイアウトの半導体メモリでは、例えば、サブバンク 11-0-#0, 11-0-#1 が選択された場合には、サブバンク 11-0-#0 とデータ入出力回路 12 との間ににおいては、データバス 13a を経由して 8 ビットのデータの授受が行われ、サブバンク 11-0-#1 とデータ入出力回路 12 との

間においては、データバス13bを経由して8ビットのデータの授受が行われる。

【0384】つまり、16ビットタイプの半導体メモリにおいて、データバス13a, 13bは、8ビットのデータを転送できる数の配列により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0385】図34は、図21の第2実施例の半導体メモリのチップレイアウトの第4変形例を示している。

【0386】このチップレイアウトは、図21のチップレイアウトに比べて、以下の点で相違している。

【0387】第一に、1つのパンク（メインパンク）を、2つのサブパンクから構成している。

【0388】即ち、メインパンク11-0は、サブパンク11-0-#0, 11-0-#1から構成され、メインパンク11-1は、サブパンク11-1-#0, 11-1-#1から構成され、メインパンク11-2は、サブパンク11-2-#0, 11-2-#1から構成され、メインパンク11-3は、サブパンク11-3-#0, 11-3-#1から構成されている。

【0389】サブパンク11-0-#0, 11-0-#1は、パンク選択回路により、同時に選択される。サブパンク11-0-#0, 11-0-#1が選択された場合には、残りのサブパンクは、選択されない。同様に、例えば、サブパンク11-1-#0, 11-1-#1が選択された場合には、残りのサブパンクは、選択されない。

【0390】また、4つのサブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0により1つのグループが構成され、このグループのパンクは、データバス13aを経由して、データ入出力回路12に接続されている。同様に、4つのサブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1により1つのグループが構成され、このグループのパンクは、データバス13bを経由して、データ入出力回路12に接続されている。

【0391】第二に、1つのサブパンクにおいて16ビット（2バイト）のデータの入出力をを行うように構成している。

【0392】サブパンクのレイアウトは、図21のパンクのレイアウトと比較すると、カラムデコーダCDが2つである点で相違している。つまり、サブパンクのレイアウトは、図10のパンクのレイアウトと同じである。

【0393】なぜなら、本例の場合、1つのサブパンクでは、16ビットのデータの入出力が行われるため、カラムデコーダCDは、2つ存在すれば足りるからである。但し、カラムデコーダCDは、図21の半導体メモリと同様に、2つのカラムを選択し、メモリセルアレイの中ブロックBLa, BLb, BLc, BLdの各々において、4ビットのデータの入出力を実行するものとす

る。

【0394】サブパンク内における、メモリセルアレイCAL, CAR, ロウデコーダRD, ロカルDQ線対18a, グローバルDQ線対18b及びDQバッファDQのレイアウトは、図10の半導体メモリのパンク内のレイアウトと同じである。

【0395】第三に、データ入出力回路（1/0）12は、メモリチップ10の中央部においてカラム方向に長くなるように配置され、データバス13a, 13bは、データ入出力回路12の両側に設けられている。

【0396】データバス13aは、サブパンク11-0-#0, 11-1-#0, 11-2-#0, 11-3-#0と共に通路設けられ、データバス13bは、サブパンク11-0-#1, 11-1-#1, 11-2-#1, 11-3-#1と共に通路設けられている。

【0397】データバス13a, 13bは、それぞれサブパンクの間ににおいてロウ方向に延長し、データ入出力回路12に接続されている。データバス13a, 13bは、それぞれ16ビットのデータが転送できるように構成されている。

【0398】このようなチップレイアウトの半導体メモリでは、例えば、サブパンク11-0-#0, 11-0-#1が選択された場合には、サブパンク11-0-#0とデータ入出力回路12との間ににおいては、データバス13aを経由して16ビットのデータの授受が行われ、サブパンク11-0-#1とデータ入出力回路12との間ににおいては、データバス13bを経由して16ビットのデータの授受が行われる。

【0399】つまり、32ビットタイプの半導体メモリにおいて、データバス13a, 13bは、16ビットのデータを転送できる数の配列により構成すればよく、メモリチップ上のデータバスの領域を小さくすることができる。

【0400】図35は、本発明のデータ転送システムを示している。

【0401】n（nは複数）個のブロックBL0～BLnは、それぞれ同じ要素から構成されている。ブロックBL0～BLnは、カラム方向に延長して配置されている。ブロックBL0を例にして、その構成について説明する。

【0402】ブロックBL0は、カラム方向に配置される2つのスイッチアレイ41a, 41bを有している。スイッチアレイ41a, 41bの各々は、マトリックス状に配置された複数のスイッチ（MOSトランジスタ）45a, 45bから構成されている。

【0403】ロウデコーダ42aは、スイッチアレイ41aのロウ方向の2つの端部のうちの1つに隣接して配置されている。ロウデコーダ42bは、スイッチアレイ41bのロウ方向の2つの端部のうちの1つに隣接して配置されている。ワード線44a, 44bの一端は、ロ

ウデコーダ 42a, 42b に接続され、かつ、ワード線 44a, 44b は、同じロウに属する複数のスイッチ 46a, 46b の制御端子（ゲート）に接続されている。

【0404】カラムデコーダ 43 は、スイッチアレイ 41a のカラム方向の 2 つの端部のうちの 1 つに接続して配置されている。カラム選択線 49 の一端は、カラムデコーダ 43 に接続されている。

【0405】レジスタ 47a, 47b 及びカラム選択スイッチ 48a, 48b は、2 つのスイッチアレイ 41a, 41b の間に配置されている。データ線 45a, 45b の一端は、レジスタ 47a, 47b 及びカラム選択スイッチ 48a, 48b に接続され、かつ、データ線 45a, 45b は、同じカラムに属する複数のスイッチ 46a, 46b の出力端（ドレイン）に接続されている。カラム選択線 49 は、カラム選択スイッチ 48a, 48b に接続されている。

【0406】データは、複数のスイッチ 46a, 46b の入力端（ソース）に印加される。

【0407】ローカル DQ 線 50-0 は、2 つのスイッチアレイ 41a, 41b の間に配置され、ロウ方向に延長している。ローカル DQ 線 50-0 は、レジスタ 47a, 47b 及びカラム選択スイッチ 48a, 48b に接続されている。

【0408】グローバル DQ 線 51-0 は、n 個のブロック BLO～BLn のスイッチアレイ上に配置され、カラム方向に延長している。グローバル DQ 線 51-0 の一端は、ローカル DQ 線 50-0 に接続され、グローバル DQ 線 51-0 の他端は、データ入出力回路（1/O）52 に接続されている。

【0409】データ入出力回路 52 は、n 個のブロック BLO～BLn のカラム方向の 2 つの端部のうちの 1 つに接続して配置されている。

【0410】上述のデータ転送システムの特徴は、n 個のブロック BLO～BLn がカラム方向に延長して配置されている場合に、例えば、ブロック BLO～BLn から出力されるデータが、スイッチアレイ 41a, 41b 上のグローバル DQ 線 51-0～51-n を経由して、データ入出力回路 52 に達かれている点にある。

【0411】つまり、ブロック BLO～BLn から出力されるデータは、ブロック BLO～BLn のカラム方向の 2 つの端部のうちの 1 つに接続して配置されたデータ入出力回路 52 に集合すると共に、このデータ入出力回路 52 から LS1 の外部に出力される。

【0412】図 36 は、本発明のメモリシステムの構成を示すものである。

【0413】ここでは、図 1～図 34 の半導体メモリを使用するメモリシステムの一例について説明する。

【0414】10 は、メモリチップである。メモリチップ 10 の構成は、図 1～図 34 において説明した半導体メモリのうちから選択される 1 つの半導体メモリの構成

と同じに設定される。

【0415】メモリチップ 10 には、メモリセルアレイ 51、読み出し・書き込み回路 52、入力回路 53、出力回路 54、同期回路 55 及びクロックバッファ 56 が形成されている。

【0416】CPU チップ 58 は、クロック信号 CK を出力する。クロック信号 CK は、メモリチップ 10 に供給され、内部クロック信号 CLK となる。メモリチップ 10 内において、内部クロック信号 CLK は、読み出し・書き込み回路 52 に供給される。読み出し・書き込み回路 52 は、内部クロック信号 CLK に同期して動作する。

【0417】クロック信号 CK と内部クロック信号 CLK のずれ（スキュー）は、同期回路 55 により、取り除かれる。同期回路 55 は、内部クロック信号 CLK' を出力する。内部クロック信号 CLK' は、入力回路 53 及び出力回路 54 に供給される。入力回路 53 及び出力回路 54 は、内部クロック信号 CLK' に同期して動作する。

【0418】1/O パス 57 は、メモリチップ 10 と CPU チップ 58 を接続する。データは、1/O パス 57 を経由して、メモリチップ 10 と CPU チップ 58 の間を行き来する。

【0419】

【発明の効果】以上、説明したように、本発明の半導体メモリ及びそのテスト回路、並びにデータ転送システムによれば、次のような効果を奏ずる。

【0420】複数のバンクを設け、各バンク内には、メモリセルアレイの小ブロックの間に配置され、ロウ方向に伸びるローカル DQ 線と、メモリセルアレイ上に配置され、カラム方向に伸びるグローバル DQ 線とを設けている。そして、入出力データは、ローカル DQ 線とグローバル DQ 線を経由して、バンクのカラム方向の端部に設けられた DQ バッファとメモリセルアレイとの間を行き来するよう構成している。

【0421】このような構成にすることで、各バンク内のセルアレイコントローラ、ロウデコーダ、カラムデコーダ、DQ バッファを、それぞれメモリセルアレイの一辺に接続して配置させることができたため、マルチピットタイプ、クロック同期タイプ、バンクタイプの半導体メモリにおいて、チップ面積を増大させることなく、データ転送速度を高めることができるようになる。

【図面の簡単な説明】

【図1】本発明の第1参考例である半導体メモリのチップレイアウトを示す図。

【図2】図1のバンク内のチップレイアウトを詳細に示す図。

【図3】本発明の第2参考例である半導体メモリのチップレイアウトを示す図。

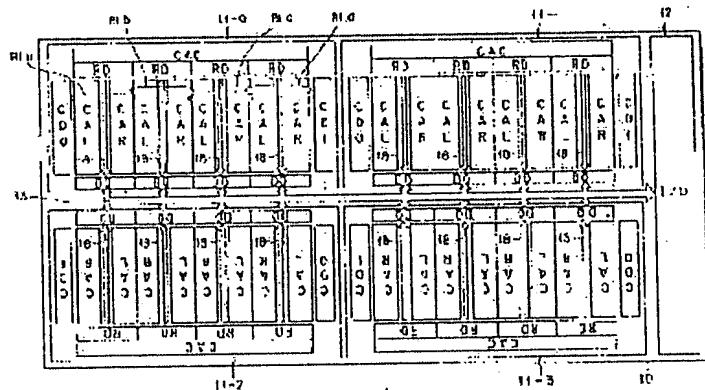
【図4】図3のバンク内のチップレイアウトを詳細に示す図。

- 【図5】図1のチップレイアウトを簡略して示す図。
- 【図6】図1の第1参考例の変形例であるチップレイアウトを示す図。
- 【図7】図6のチップレイアウトを詳細に示す図。
- 【図8】図1の第1参考例の変形例であるチップレイアウトを示す図。
- 【図9】図8のチップレイアウトを詳細に示す図。
- 【図10】本発明の第1実施例である半導体メモリのチップレイアウトを示す図。
- 【図11】図10のバンク内のチップレイアウトを詳細に示す図。
- 【図12】図11のスイッチの構成の一例を示す図。
- 【図13】カラムデコーダの構成の一例を示す図。
- 【図14】バンク選択回路の構成の一例を示す図。
- 【図15】データ入出力回路の構成の一例を示す図。
- 【図16】テスト回路の構成の主要部を示す図。
- 【図17】図16のテスト回路の構成を詳細に示す図。
- 【図18】テスト用切り替え回路の構成の一例を示す図。
- 【図19】テストモード時の信号波形を示す図。
- 【図20】テストモード時の信号波形を示す図。
- 【図21】本発明の第2実施例である半導体メモリのチップレイアウトを示す図。
- 【図22】図10のチップレイアウトを概略に示す図。
- 【図23】図22のチップレイアウトの第1変形例に示す図。
- 【図24】図23のチップレイアウトを詳細に示す図。
- 【図25】図21のチップレイアウトの第1変形例に示す図。
- 【図26】図22のチップレイアウトの第2変形例に示す図。
- 【図27】図26のチップレイアウトを詳細に示す図。
- 【図28】図21のチップレイアウトの第2変形例に示す図。
- 【図29】図22のチップレイアウトの第3変形例に示す図。
- 【図30】図29のチップレイアウトを詳細に示す図。
- 【図31】図21のチップレイアウトの第3変形例に示す図。
- 【図32】図22のチップレイアウトの第4変形例に示す図。
- 【図33】図32のチップレイアウトを詳細に示す図。
- 【図34】図21のチップレイアウトの第4変形例に示す図。
- 【図35】本発明のデータ転送システムを示す図。
- 【図36】本発明のメモリシステムを示す図。
- 【図37】従来の半導体メモリのチップレイアウトを示す図。
- 【符号の説明】
- 10 : メモリチップ、

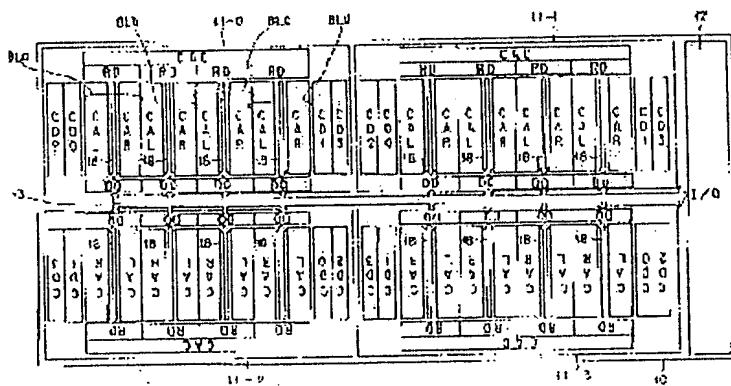
- 1 1 - 0 ~ 1 1 - 3 : バンク(メインバンク)、  
 1 1 - 0 - #0, 1 1 - 0 - #1, ~ 1 1 - 3 - #0,  
 1 1 - 3 - #1 : サブバンク、  
 1 2, 1 2 a, 1 2 b : データ入出力(I/O)  
 領域、  
 1 3, 1 3 a ~ 1 3 d : データバス、  
 1 4 : データ線対、  
 1 5, 1 5 - 0 ~ 1 5 - 3 : カラム選択線、  
 1 6 : カラム選択スイッチ、  
 1 7, 1 9 a, 1 9 b : ワード線、  
 1 8 : DO線対、  
 1 8 a : ローカルDQ線対、  
 1 8 b : グローバルDQ線対、  
 2 0 a, 2 0 b, 2 1 : スイッチ、  
 2 2 : コントロール線、  
 2 3 ~ 1 ~ 2 3 - N : プリデコーダ、  
 2 4 ~ 1 ~ 2 4 - M : デコーダ、  
 2 5 ~ 1 ~ 2 5 - N : ブロック、  
 2 6 ~ 0 ~ 2 6 - 7 : NOR回路、  
 2 7 ~ 0 ~ 2 7 - 7, T 0 1, T 0 2, T 1 1, T 1  
 2, T 2 1, T 2 2, T 3 1, T 3 2, T G 0 ~ T G 3  
 1 : トランスマルチプレクタ、  
 2 8 ~ 0 ~ 2 8 - 7 : ラッチ回路、  
 2 9 ~ 0 ~ 2 9 - 7 : AND回路、  
 3 0 : 出力ラッチ回路、  
 3 1 : 出力回路、  
 3 2 : 出力バッファ、  
 3 3 : NAND回路、  
 3 4 : エクスクルーシブOR回  
 路、  
 3 5 : カラーレジスタ、  
 3 6 : エクスクルーシブNOR  
 回路、  
 3 7 : スイッチ回路部、  
 3 8 : シリアルセレクタ、  
 4 1 a, 4 1 b : スイッチアレイ、  
 4 2 a, 4 2 b : ロードデコーダ、  
 4 3 : カラムデコーダ、  
 4 4 a, 4 4 b : ワード線、  
 4 5 a, 4 5 b : データ線、  
 4 6 a, 4 6 b : スイッチ、  
 4 7 a, 4 7 b : レジスタ、  
 4 8 a, 4 8 b : カラム選択スイッチ、  
 4 9 : カラム選択線、  
 5 0 ~ 0 ~ 5 0 - n : ローカルDQ線対、  
 5 1 ~ 0 ~ 5 1 - n : グローバルDQ線対、  
 5 1 : メモリセルアレイ、  
 5 2 : 讀み出し・書き込み回  
 路、

53	: 入力回路、	DQ	: DQ パッファ、
54	: 出力回路、	B L <sub>a</sub> ~ B L <sub>d</sub>	: 中ブロック、
55	; 同期回路、	SEL	: バンクセレクタ、
56	; クロックパッファ、	SA	: センスアンプ、
57	: I/O バス、	N 1 ~ N 4	: N チャネル MO S トラン
58	: CPU チップ、	ジスタ、	
100	: テスト用切り替え回	DBSAMP	: データバスセンスアン
路、		フ、	
200	: テスト用出力回路、	DBWBF	: データバス書き込みバッ
CAL, CAR	: メモリセルアレイ (小ブ	ファ、	
ロック)、		C 1 1 ~ C 1 7	: クロックドインバータ、
CAC	: セルアレイコントロー	LA	: ラッチ回路、
ラ、		EX	: エクスクルーシブ OR 回
RD	: ロウデコーダ、	路、	
CD0 ~ CD3	: カラムデコーダ、		

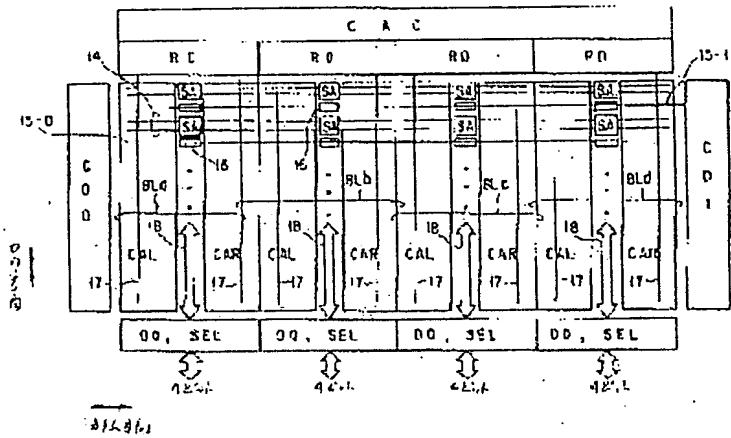
[图 1]



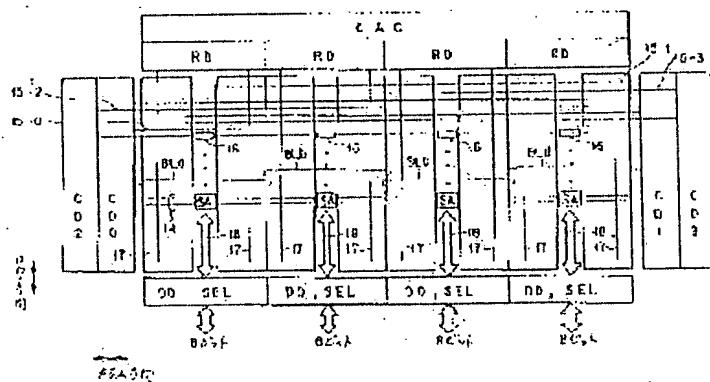
(图3)



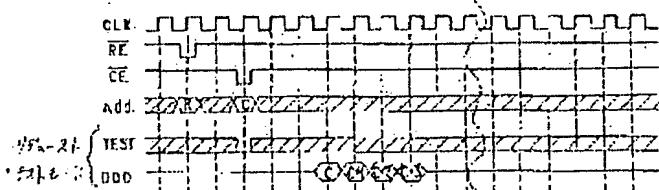
〔四二〕



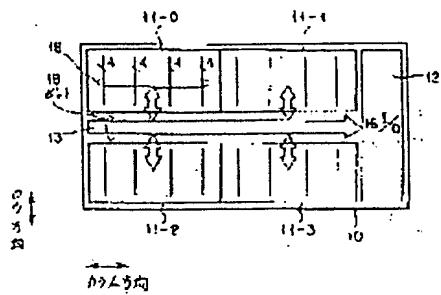
[图4]



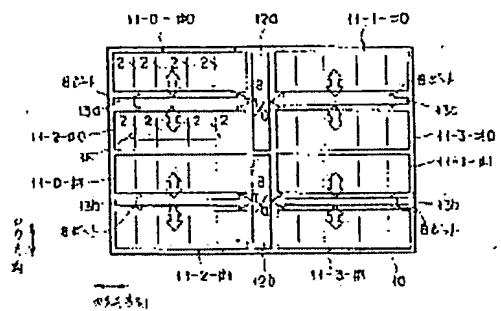
【图 19】



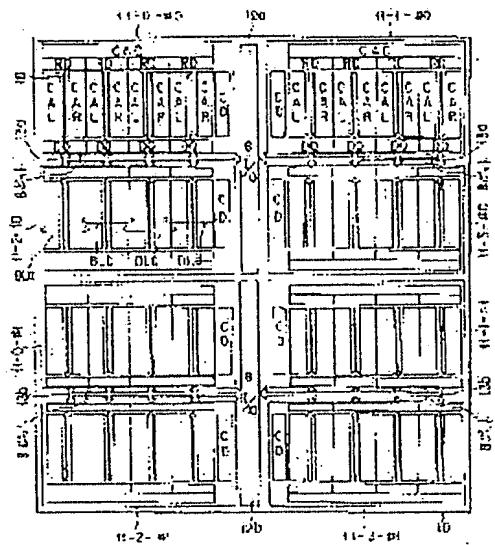
【図 5】



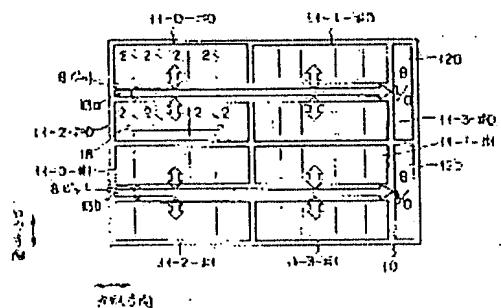
【図 6】



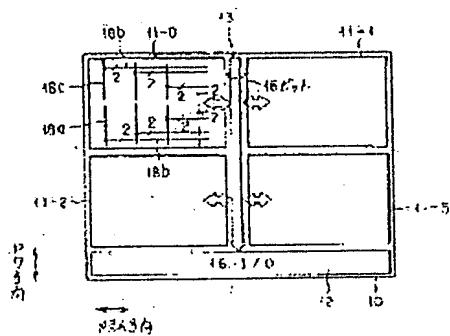
【図 7】



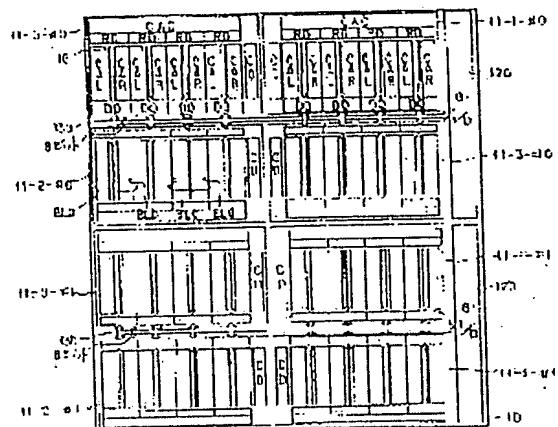
【図 8】



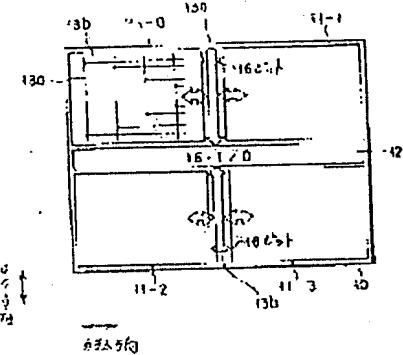
【図 22】



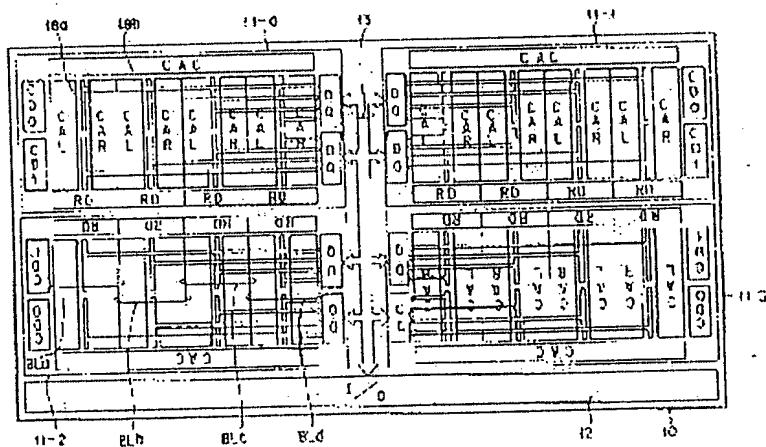
〔四〇〕



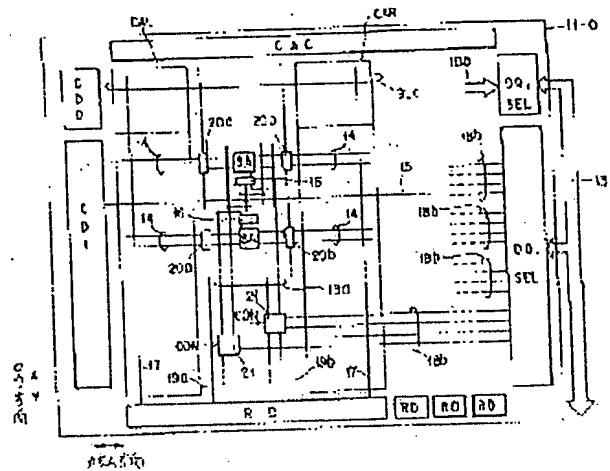
〔図23〕



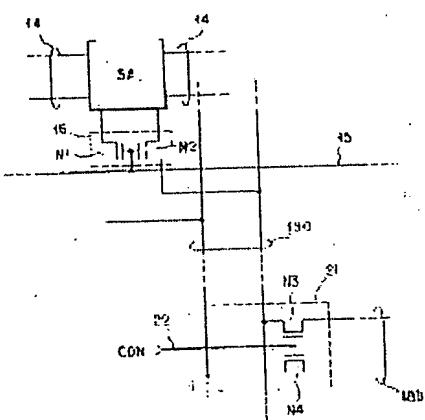
(10)



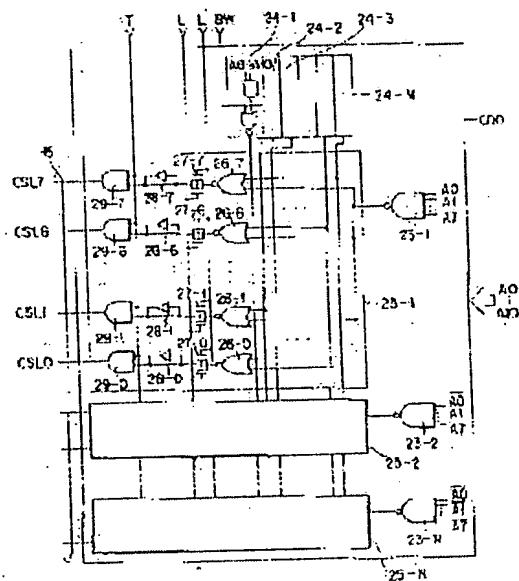
[图 1-1]



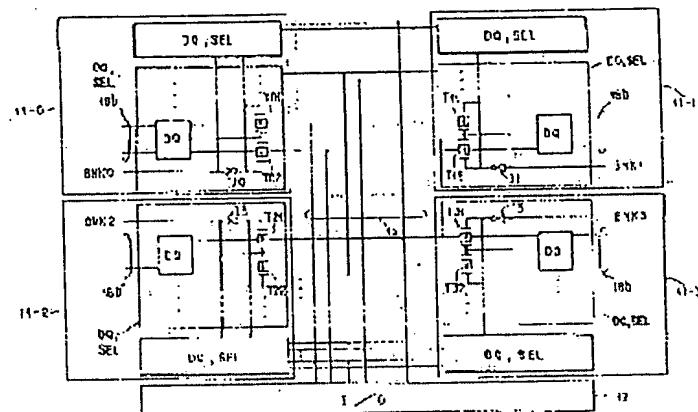
[图 1-2]



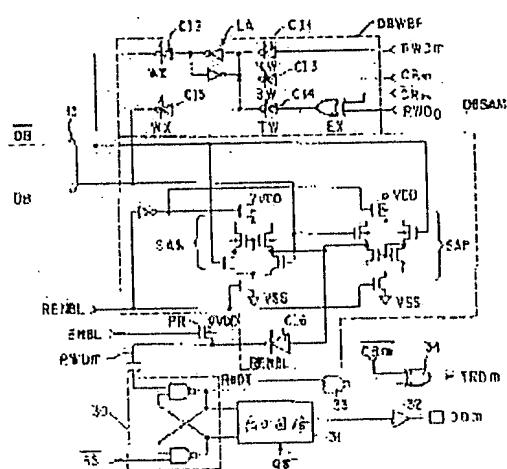
{图 1-3}



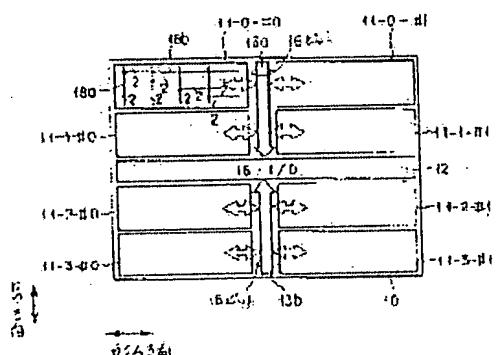
【図 1-4】



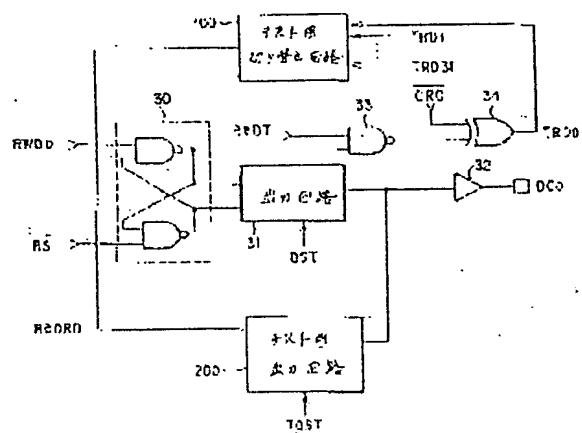
【図 1-5】



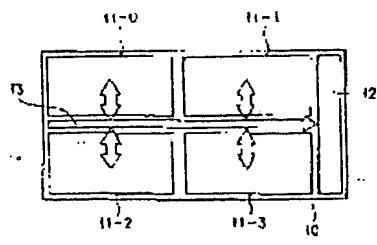
【図 2-6】



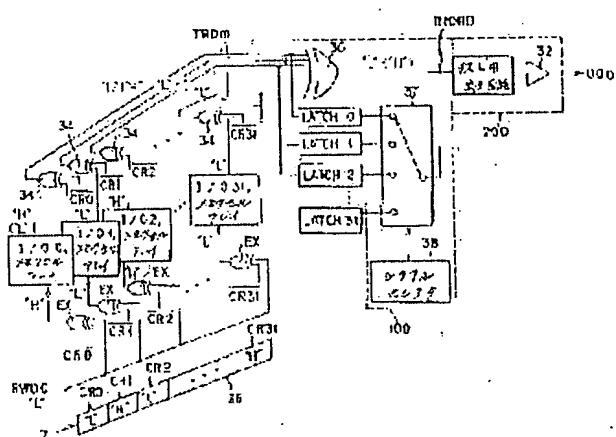
[図 16]



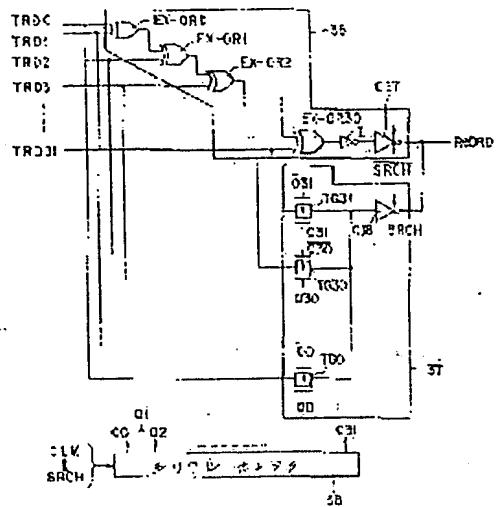
[図 37]



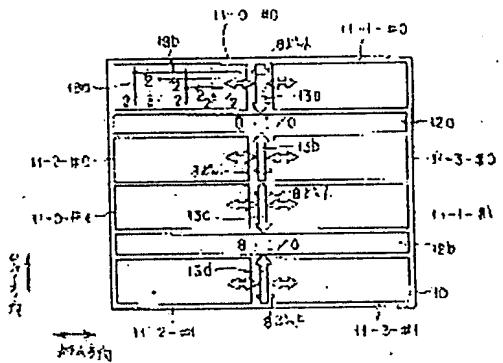
[図 17]



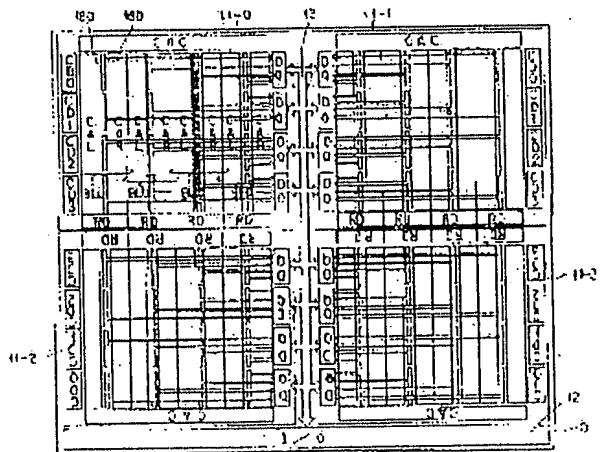
(图 18)



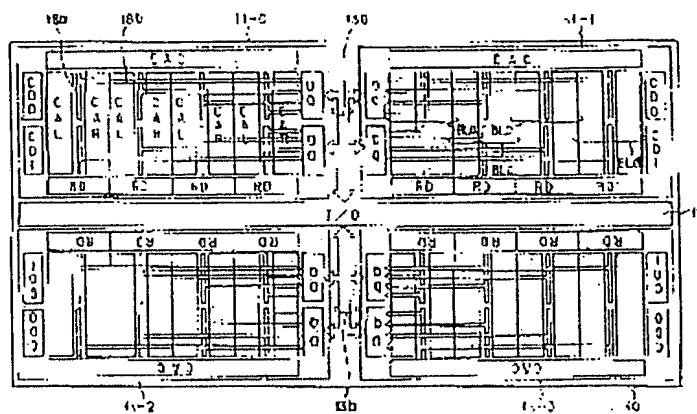
(圖29)



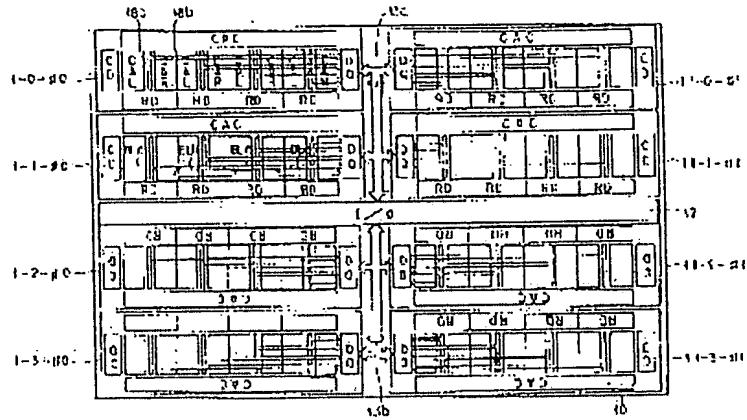
[图21]



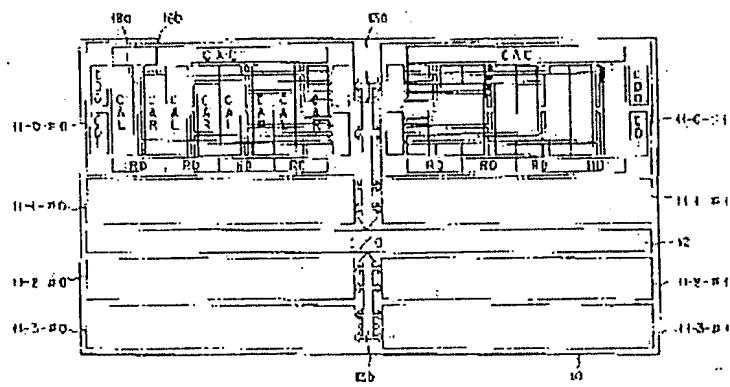
【図24】



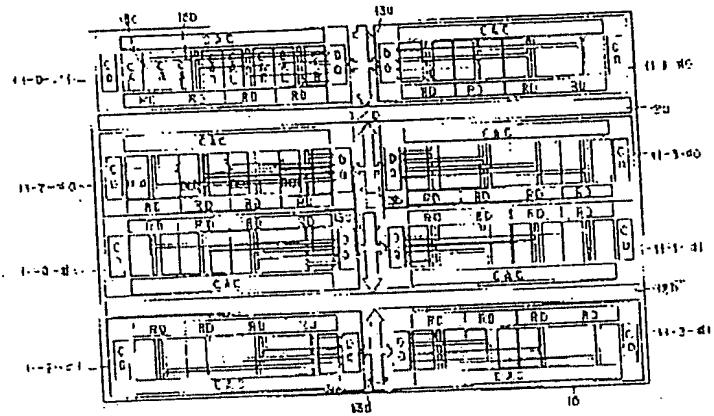
【図27】



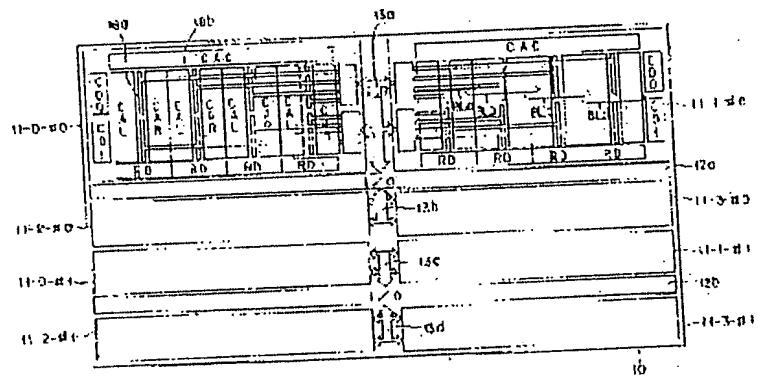
【図28】



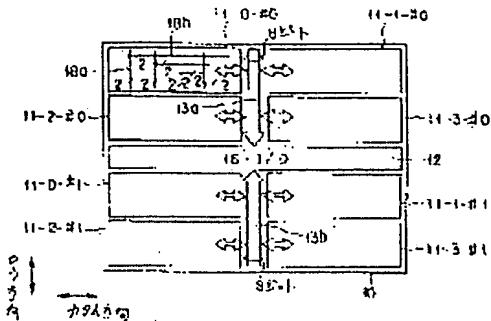
[图30]



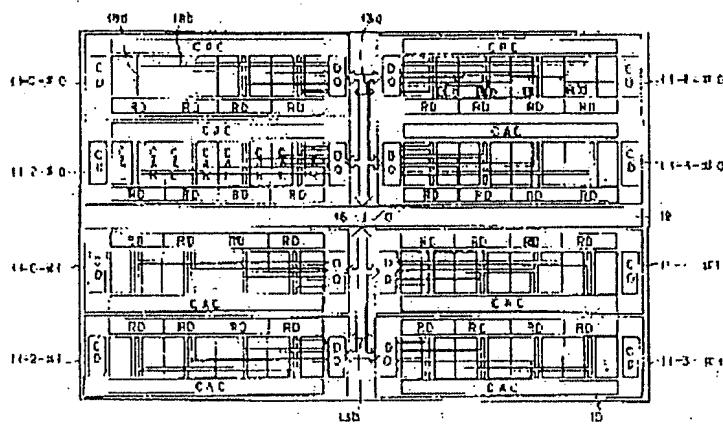
[图3-1]



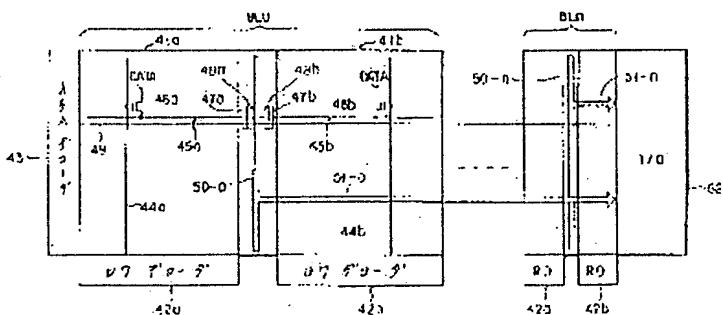
[図3.2]



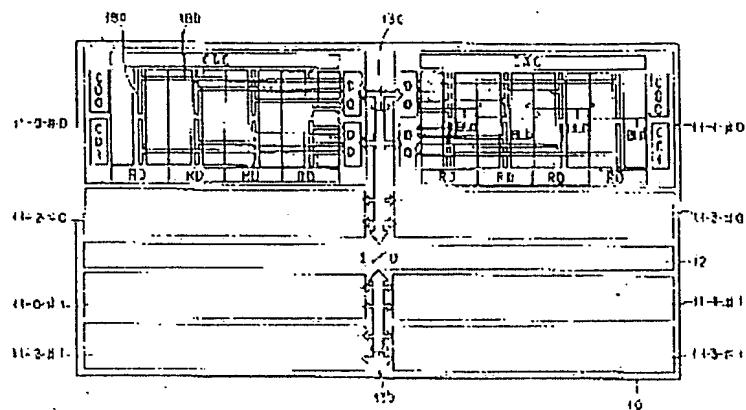
[図3.3]



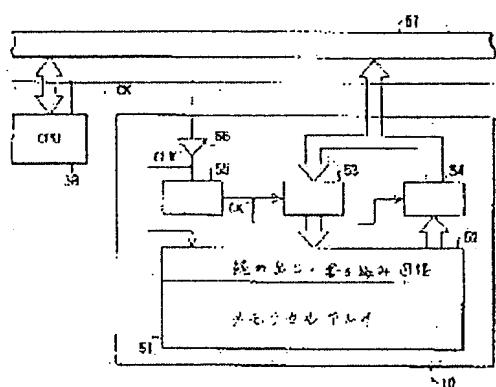
[図3.5]



[図3-4]



[図3-6]



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**